Sistema de Aquisição de Dados para um Relé de Proteção Digital de Baixo Custo.

Renato Machado Monaro

Trabalho de Conclusão de Curso apresentado à Escola de Engenharia de São Carlos, da Universidade de São Paulo.

Curso de Engenharia Elétrica com ênfase em Sistemas de Energia e Automação.

Orientador: Prof. Dr. José Roberto B. de A. Monteiro

São Carlos
2007

Dedicatória

Dedico este trabalho a Djair e Abia, meus amorosos pais, que me orientam nesta caminhada.

Agradecimentos

A Deus pela oportunidade deste aprendizado.

A Universidade de São Paulo pela excelência de ensino.

Ao Prof. Dr. Orientador José Roberto B. de A. Monteiro pela orientação no desenvolvimento deste trabalho.

A minha família pelo apoio incondicional.

A Raquel por suas palavras de apoio e carinho.

O livro é um mestre que fala mas que não responde.

Platão

Sumário

Lista de Figuras **ix**

Lista de Tabelas **xiii**

Lista de Abreviaturas e Siglas **xv**

Resumo **xvii**

Abstract **xix**

I Introdução **1**

1 Introdução **3**

1.1 Objetivo 4

1.2 Organização do Trabalho 4

2 Os Relés Digitais **7**

2.1 Benefícios da Proteção Digital 7

2.2 Arquitetura do Relé Digital 8

3 SPI **11**

3.1 Interface 11

3.2 Operação 12

3.2.1 Transmissão de Dados 13

3.2.2 Polaridade de *Clock* e Fase 14

3.2.3 Configuração Corrente 15

3.3 Vantagens e Desvantagens do SPI 16

4 Filtros **19**

4.1 Caracterização 21

4.2 Aproximação 21
4.2.1 Aproximação de Butterworth 22
4.2.2 Aproximação de Chebyshev 25
4.2.3 Aproximação Elíptica 26
4.2.4 Aproximação de Bessel 27
4.3 Projeto do Filtro Butterworth 27
4.3.1 Topologia Cauer 28
4.4 Resposta em Frequência 28
4.5 Resposta Transiente 28
4.5.1 Resposta ao Degrau Unitário 29
4.5.2 Atraso de Grupo 30

5 Conversor Analógico Digital 31
5.1 Amostragem 32
5.2 Quantização 33
5.3 Especificações de um ADC 35
5.3.1 Resolução e Variação de Entrada 35
5.3.2 Codificação 35
5.3.3 Erros Lineares 35
5.3.4 Erros Não-Lineares 36
5.3.5 Erros de Abertura 39
5.3.6 Ruído 40
5.3.7 Faixa Dinâmica 40
5.4 Tipos de ADCs 41
5.4.1 Flash 42
5.4.2 Registrador de Aproximação Sucessiva 43
5.4.3 Multiestágios 44
5.4.4 Integradores 45
5.4.5 Sigma-Delta 46

II Desenvolvimento 49

6 Descrição do Projeto 51
6.1 Módulo de Aquisição de Dados 52
6.1.1 Proposta 1 53
6.1.2 Proposta 2 54

6.2 Módulo de Processamento de Dados 55
6.3 Barramento de Comunicação 56

7 Componentes Utilizados 59
7.1 ADC 59
7.1.1 Descrição 59
7.1.2 Pinagem 60
7.1.3 Teoria de Funcionamento 61
7.1.4 Entrada Analógica 61
7.1.5 Entrada de Referência 62
7.1.6 Interface Serial 62
7.2 Amplificador de Ganho Programável 63
7.2.1 Descrição 63
7.2.2 Pinagem 63
7.2.3 Funções Analógicas 63
7.2.4 Amplificador Operacional Interno 64
7.2.5 Escada de Resistores 66
7.2.6 Modo de Economia de Energia 66
7.2.7 Funções Digitais 66
7.2.8 Temporização SPI 66
7.2.9 Registradores 67
7.3 Isolador Óptico 69
7.3.1 Descrição 69
7.3.2 Pinagem 69
7.4 Referência de Tensão 69
7.5 Conversor DC-DC 70
7.6 Resistor de Medida de Corrente 71

8 Memorial de cálculo 73
8.1 Faixa dinâmica 73
8.2 Condicionamento de Tensão 75
8.3 Condicionamento de Corrente 76
8.4 Filtro 77
8.5 Circuito Isolador 78
8.6 Custo Aproximado do Módulo 79

III Conclusões **81**

9 Conclusão **83**

9.1 Sugestão de Trabalhos Futuros 84

IV Referências **85**

Referências Bibliográficas **87**

V Anexos **89**

A Esquemático do Módulo de Leitura de Tensão e Corrente **91**

B Transformadores de Correntes (TCs) **93**

B.1 TC Tipo Bucha 94

B.2 TC Tipo Janela 94

B.3 TC Tipo Barra 94

B.4 TC Tipo Pedestal 95

C Transformadores de Potencial (TPs) **97**

C.1 Transformador de Potencial Convencional 98

C.2 Transformador de Potencial Capacitivo(TPC) 98

C.2.1 De Acoplamento (CPD) 98

C.2.2 De Bucha (BPD) 99

Lista de Figuras

2.1 Principais Subsistemas de um Relé Digital (Extraído de [2]). 9

3.1 SPI simples. 12

3.2 Transmissão de dados SPI. 13

3.3 Diagrama de tempo SPI [5]. 14

3.4 Configuração SPI independente. 15

3.5 Configuração SPI em corrente. 16

4.1 Aproximação. 22

4.2 Especificação do filtro em termos: (a) Ganho (b) Função característica. 23

4.3 Função característica de Butterworth. 23

4.4 Topologia Cauer. 28

4.5 Resposta em frequência para diversas ordens. 29

4.6 Resposta ao degrau para diversas ordens. 29

4.7 Atraso de grupo para diversas ordens. 30

5.1 Efeito da subamostragem [11]. 33

5.2 Função de transferência [11]. 34

5.3 Erro de *offset* [11]. 36

5.4 Erro de ganho [11]. 37

5.5 Não-linearidade diferencial [11]. 38

5.6 Não-linearidade integral [11]. 38

5.7 Precisão relativa [11]. 39

5.8 Comparador [11]. 42

5.9 Conversor *Flash* [11]. 43

5.10 Conversor SAR [11]. 44

5.11 Sequência de tentativas [11]. 44

5.12 Conversor multiestágios [11]. 45

5.13 Conversor integrador [11]. 46

5.14 Funcionamento rampa dupla [11]. 46

5.15 Conversor Sigma-Delta [11]. 47

5.16 Operação do conversor Sigma-Delta [11]. 48

6.1 Módulos do relé digital 51

6.2 Disposição dos módulos no bastidor 52

6.3 Diagrama de blocos do módulo de aquisição de dados da primeira proposta. 53

6.4 Diagrama de blocos do módulo de aquisição de dados da segunda proposta. 54

6.5 Diagrama de blocos do módulo de processamento de dados. 55

6.6 Foto do conector DIN41612 tipo fêmea. 57

6.7 Foto do conector DIN41612 tipo macho. 57

6.8 Dimensões do conector DIN41612 tipo fêmea. 58

6.9 Dimensões do conector DIN41612 tipo macho. 58

7.1 Diagrama de blocos do ADS8320 [10]. 60

7.2 Pinagem do ADS8320 [10]. 60

7.3 Comunicação serial do ADS8320. 63

7.4 Pinagem do MCP6S21 [7]. 64

7.5 Diagrama de blocos do MCP6S21 [7]. 64

7.6 Limitação da corrente de entrada no MCP6S21 [7]. 65

7.7 MCP6S21 operando no modo SPI 0,0 [7]. 67

7.8 MCP6S21 operando no modo SPI 1,1 [7]. 67

7.9 Registrador de instrução do MCP6S21 [7]. 68

7.10 Registrador de ganho do MCP6S21 [7]. 68

7.11 Registrador de canal do MCP6S21 [7]. 69

7.12 Pinagem do HCPL-0631 [4]. 70

8.1 Ajuste automático de ganho. 75

8.2 Condicionamento de tensão. 76

8.3 Condicionamento de corrente. 76

8.4 Filtro de entrada. 77

8.5 Circuito isolador. 78

A.1 Esquemático do módulo de leitura de tensão e corrente. 92

Lista de Tabelas

7.1 Descrição de pinos do ADS8320. 60

7.2 Comunicação serial do ADS8320 [10]. 63

7.3 Descrição de pinos do MCP6S21. 64

7.4 Descrição de pinos do HCPL-0631. 70

8.1 Limites de tensão e corrente. 74

8.2 Preço dos componentes. 79

B.1 Classe de exatidão de TCs 94

C.1 Classe de exatidão de TPs 98

Lista de Abreviaturas e Siglas

ADC: Conversor Analógico-Digital - *Analog-Digital Converter*

DAC: Conversor Digital-Analógico - *Digital-Analog Converter*

S/H: Amostra e Retém - *Sample-and-Hold*

T/H: Acompanha e Retém - *Track-and-Hold*

LSB: Bit Menos Significativo - *Least Significant Bit*

SPI: Interface Periférica Serial - *Serial Peripheral Interface*

PGA: Amplificador de Ganho Programável - *Programmable Gain Amplifier*

LED: Diodo Emissor de Luz - *Light Emitting Diode*

TC: Transformador de Corrente

TP: Transformador de Tensão

SEP: Sistemas Elétricos de Potência

PWM: Modulação por Largura de Pulso - *Pulse Width Modulation*

A/D: Analógico-Digital - *Analog-Digital*

D/A: Digital-Analógico - *Digital-Analog*

CI: Circuito Integrado

ARM: *Advanced RISC Machine*

CAN: *Controller Area Network*

GSM: Sistema Global para Comunicações Móveis - *Global System for Mobile Communications*

FPGA: *Field Programmable Gate Array*

JTAG: *Joint Test Action Group*

SMS: Serviços de Mensagens Curtas - *Short Message Service*

RP: Relé de Proteção

Resumo

Monaro, R. M. *Sistema de Aquisição de Dados para um Relé de Proteção Digital de Baixo Custo.* São Carlos, 2007. 99 p. Monografia (Trabalho de Conclusão de Curso) – Escola de Engenharia de São Carlos, Universidade de São Paulo.

Este trabalho de conclusão de curso traz a idealização de um relé digital, no qual os principais blocos funcionais foram separados em módulos, para desenvolvimento de novas técnicas e algoritmos de proteção. Essa necessidade surge da impossibilidade de reprogramação de relés comerciais.

Os principais módulos do relé, que têm maior grau de complexidade, são o processamento de dados e o de aquisição de dados. O módulo de processamento é onde se encontra o microprocessador responsável pela execução do algoritmo desejado, pela comunicação entre os módulos e pela comunicação com o meio externo. O módulo de aquisição de dados está encarregado da obtenção dos dados de tensão e corrente do equipamento que se deseja proteger para suprir as entradas do algoritmo de proteção.

Para que o algoritmo de proteção funcione corretamente é preciso que as grandezas elétricas sejam fielmente representadas tanto para condições de pré-falta quanto para as condições de pós-falta. A grande dificuldade é a leitura para as condições de pós-falta, visto que os sinais de sistemas elétricos de potência podem sofrer grandes variações em magnitude em situações de falta, por exemplo uma corrente de falta pode atingir magnitude de até 20 pu.

Este trabalho está focado no desenvolvimento de um módulo de aquisição de dados que represente fielmente as grandezas elétricas do SEP para às diversas situações às quais o SEP está sujeito.

Os módulos estão interligados por um barramento, cada módulo contém quatro

endereços para comunicação. A comunicação no barramento é feita de forma serial seguindo o padrão SPI da Motorola.

Este módulo de aquisição de dados é totalmente isolado, ou seja, não há conexão elétrica direta das fontes de medida com o barramento de comunicação. A fonte que alimenta os circuitos é composta por um conversor DC/DC com isolamento galvânico e o acesso ao barramento de comunicação é feito por meio de isoladores ópticos.

Um bastidor com capacidade de abrigar até oito módulos é utilizado para reunir e interligar os diversos módulos.

Palavras-chave: aquisição de dados, medidas elétricas, sistema elétrico de potência, relé digital e proteção.

Abstract

Monaro, R. M. *Data Acquisition System for a Low Cost Digital Protection Relay* São Carlos, 2007. 99 p. Undergraduation Monograph – Escola de Engenharia de São Carlos, Universidade de São Paulo.

This work brings the idealization of a digital relay, where the main functional blocks were separated into modules, to the development of new protection algorithms. This need arises from the inability of reprogramming commercial relays.

The main modules of the relay, which have greater complexity, is the data processing and data acquisition. The processing module is responsible for the algorithm execution, communication between modules and for communication with the external environment. The data acquisition module is responsible for measuring the voltage and current of protected equipment in order to supply the algorithm's inputs.

For the properly working of the algorithm it is necessary that the electrial signals were faithfully represented for pre-falt and post-fault conditions. The great difficulty is measuring in post-falt conditions because the electrical power signals may have a great increase in magnitude over falt condition, for example a falt current magnitude could be up to 20 pu.

The modules are interconnected by a bus, each module contains four addresses for communication. The communication in the bus follow the Motorola's SPI standard.

This data acquisition module is totally isolated, there is no direct electrical connection betwen the sources of measurement and the communication bus. Therefore, an isolated dc/dc converter is used as source to supply the circuits and the access of the module to the communication bus is done by an optical isolator.

The various modules are arranged in a housing with the capacity to house up to

eight modules.

Keywords: data acquisition, electric measurement, electric power system, digital relay and protection.

Parte I

Introdução

Capítulo 1

Introdução

Em um Sistema Elétrico de Potência (SEP) é de fundamental importância a rápida e precisa detecção de anomalias em sua operação, ou seja, a indicação de situações faltosas ou de condições anormais, para que estas possam ser rapidamente eliminadas buscando a volta às condições normais de operação. Como fato para ilustrar a importância de uma bem ajustada proteção do sistema, uma atuação indevida de seus dispositivos pode dar origem a um efeito de desligamento em cascata, atingindo diversas partes do sistema, o qual poderá culminar em um *blackout* de forma generalizada. Como quantificação imediata dos problemas causados, têm-se prejuízos econômicos aos consumidores residenciais, comerciais e industriais que utilizam a energia elétrica em seus sistemas, bem como danos materiais ao SEP como um todo, pois situações faltosas prolongadas podem danificar linhas de transmissão, transformadores e até os geradores. Portanto, quanto maior a eficiência na detecção e isolamento das situações anormais, mais estável será o sistema de uma maneira geral.

De acordo com a ABNT, o relé é um dispositivo por meio do qual um equipamento elétrico é operado quando se produzem variações nas condições deste equipamento ou do circuito em que este está ligado, ou em outro equipamento ou circuito associado.

Existem, no entanto, vários tipos de relés de proteção (RP), os quais diferem, basicamente, quanto à característica elétrica que monitoram e quanto a sua arquitetura. Pode-se citá-las de acordo com sua utilização histórica. Os primeiros RP eram eletromecânicos, baseados em sistemas mecânicos e de bobinas móveis. Por volta de 1960 surgiram os relés de estado sólido que por sua vez utilizavam circuitos eletrônicos em

sua concepção. Estes têm como vantagem sobre os relés eletromecânicos um tempo reduzido de atuação, maior precisão, menos manutenção e vida longa prolongada devido à ausência de partes móveis. Nessa mesma época já eram estudados algoritmos computacionais para proteção, mas o custo dos computadores e a velocidade de processamento inviabilizavam sua utilização. No entanto, com o desenvolvimento dos microprocessadores e a redução dos custos de produção dos mesmos, os relés digitais começaram a se tornar mais atraentes devido a suas vantagens de utilização. Os algoritmos de proteção são softwares que residem na memória de programa do microprocessador embarcado e isso facilita a adaptação e expansão do relé por meio da alteração dos mesmos.

Entre os tipos de RP quanto ao sinal que monitoram podemos citar os relés de sobrecorrente, sobretensão, direcionais, diferenciais, impedância e freqüência, os quais monitoram respectivamente a mudança nos valores nominais de regime da corrente, tensão, sentido da corrente, corrente diferencial, impedância aparente e freqüência sobre o elemento protegido[6] [3].

1.1 Objetivo

O objetivo deste trabalho é desenvolver um o módulo de aquisição de dados para um relé de proteção digital de baixo custo, visando a futura implementação de algoritmos diversos de proteção de Sistemas Elétricos de Potência.

1.2 Organização do Trabalho

O próximo capítulo trata sobre o relé de proteção, seus componentes e seu desenvolvimento histórico. O capítulo 3 mostra o funcionamento da comunicação SPI. O capítulo 4 aborda os conhecimentos necessários para o projeto de filtros analógicos. As diversas tecnologias, topologias e parâmetros pertinentes à compreensão do funcionamento de conversores analógico-digital é abordada no capítulo 5.

Na parte de desenvolvimento, o capítulo 6 mostra as principais características do módulo de aquisição de dados. Os principais componentes utilizados estão no capítulo 7. Os cálculos necessários para o desenvolvimento deste trabalho estão disponíveis no capítulo 8.

O esquemático completo da placa de aquisição de dados pode ser encontrado no Anexo A. Os anexos C e B trazem uma melhor compreensão do funcionamento dos TPs e TCs respectivamente.

Capítulo 2

Os Relés Digitais

Os relés digitais começaram a ser desenvolvidos no início da década de 60, conjuntamente com a substituição contínua de ferramentas de análise do sistema elétrico de potência por ferramentas computacionais, começando pelos programas de cálculo de curto-circuito, fluxo de carga e análise de estabilidade. A utilização do computador na proteção era somente uma questão de tempo, visto que essa aplicação era inviável economicamente e os computadores da época não atendiam aos requisitos de velocidade necessária para a proteção. A gigantesca evolução dos computadores tornou viável os estudos de aplicação de computadores na proteção de sistemas elétricos de potência.

A importância do relés digitais é tal que os novos projetos de subestações empregam exclusivamente relés digitais, e em subestações mais antigas observa-se a substituição gradual dos relés eletromecânicos e estáticos pelos novos relés digitais.

O desenvolvimentos dos relés digitais, graças ao avanço dos computadores, está causando uma revolução na proteção dos SEP, com a implementação de relés inteligentes e a medição síncrona de fasores[2]

2.1 Benefícios da Proteção Digital

Entre as vantagens dos relés digitais pode-se destacar:

- Custo: O custo dos relés digitais foi drasticamente reduzido ao longo dos anos e sua velocidade de processamento aumentou substancialmente.

- Confiabilidade: O relé digital pode ser programado para monitorar constantemente seus sistemas de *hardware* e *software*, detectando assim qualquer defeito interno que possa existir.

- Flexibilidade Funcional: O relé digital pode ser programado para executar diversas funções. Desta forma ele também pode executar muitas outras tarefas na subestação tais como: medição, monitoramento, controle, localização de faltas, etc. Este relé pode ainda, como citado, possuir característica adaptativa, modificando sua atuação em várias funções, para torná-las mais adequada às condições dos SEPs.

- Possibilidade de Implementação de Técnicas Inteligentes: a tecnologia digital abre portas para a implementação de ferramentas inteligentes para um melhor desempenho da proteção de sistemas elétricos como as Redes Neurais Artificiais, a Lógica *Fuzzy*, os Algoritmos Genéticos.

2.2 Arquitetura do Relé Digital

O diagrama de blocos da Fig.2.1 mostra os principais subsistemas de um relé digital.

- Os transformadores de entrada (módulo de interface) atenuam as tensões e correntes de entrada a níveis de tensão adequados aos microprocessadores ($\pm 10V$). Permitem também a isolação galvânica entre os relés de proteção e os sinais provenientes dos TCs e TPs.

- Filtros analógicos passivos passa baixo são também usados no módulo de *interface* (filtro *anti-aliasing*), com o objetivo de se evitar erros no processamento digital dos sinais.

- Dispositivos *Sample and Hold* (S/H) amostram as entradas analógicas em um mesmo instante e disponibilizam os sinais ao multiplexador. Este dispositivo minimiza a deformação provocada pela amostragem não seqüencial e conseqüente operação incorreta da proteção.

- O multiplexador permite que seja usado apenas um conversor analógico digital(ADC) para várias entradas analógicas. As entradas analógicas são conectadas uma a uma pelo multiplexador ao ADC.

- No ADC os sinais analógicos são convertidos para a forma digital em intervalos definidos pela taxa amostral.
- O processador controla o funcionamento do relé, faz a filtragem digital dos sinais para extração do componente fundamental, se pertinente, executa os cálculos e decide atuações.
- O módulo de saída lógica é responsável pelas atuações de disjuntores e alarmes decididos pelo processamento.

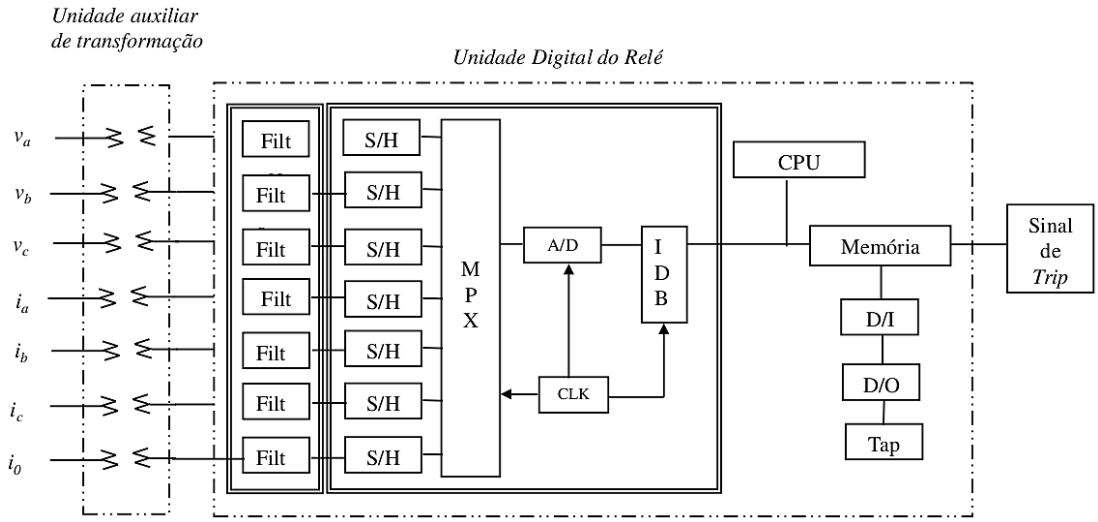


Figura 2.1: Principais Subsistemas de um Relé Digital (Extraído de [2]).

Capítulo 3

SPI

A conexão entre microcontroladores e dispositivos externos, tais como memória, conversores A/D, D/A e *display* de cristal líquido, entre outros, pode ser feita na forma paralela ou serial. A conexão na forma paralela envolve a ligação de muitas linhas , ao mesmo tempo em que o circuito integrado deve possuir muitos pinos externos. Embora esta seja o tipo de conexão preferível para transferências de dados em altas velocidades, existem técnicas seriais, também de alta velocidade, que simplificam a construção da placa de circuito impresso. Um dos padrões mais difundido é a interface SPI (*Serial Peripheral Interface*)[5] que necessita de apenas 4 linhas de controle para a comunicação entre os dispositivos.

O barramento SPI é uma interface de dados serial síncrona padronizada pela Motorola que funciona em modo *full-duplex*. Os equipamentos se comunicam em modo mestre/escravo, onde o equipamento mestre inicializa a comunicação. Múltiplos equipamentos escravos são permitidos com o uso de linhas individuais de *slave select (chip select)*. Algumas vezes SPI é chamado de barramento serial à quatro fios.

3.1 Interface

O barramento SPI é constituído de quatro sinais lógicos.

- SCLK - *Serial Clock* (saída do mestre)
- MOSI/SIMO - *Master Output, Slave Input* (saída do mestre)

- MISO/SOMI - *Master Input, Slave Output* (saída do escravo)
- SS - *Slave Select* (ativo em nível baixo, saída do mestre)

Outras convenções largamente empregadas:

- SCK - *Serial Clock* (saída do mestre)
- SDI,DI,SI - *Serial Data In*
- SDO,DO,SO - *Serial Data Out*
- nCS, CS, nSS, STE - *Chip Select, Slave Transmit Enable* (ativo em nível baixo, saída do mestre)

A convenção de SDI/SDO requer que o SDO do mestre esteja conectado ao SDI do escravo e vice-versa. Por causa dessa confusão, a convenção MOSI/MISO é preferida.

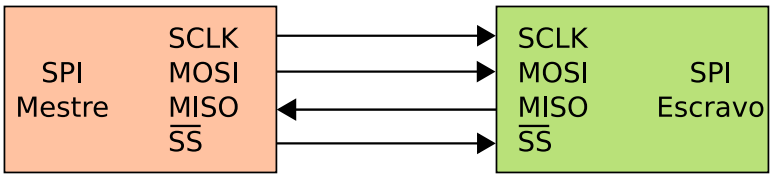


Figura 3.1: SPI simples.

3.2 Operação

O barramento SPI pode operar com um único equipamento mestre e mais de um equipamento escravo.

Se um único equipamento escravo é usado, o pino SS pode ser fixado em lógica baixa se o escravo permitir esse modo de operação. Alguns escravos necessitam a borda de descida no SS para iniciar uma operação como o MAX1242 da Maxim, um conversor analógico digital, que inicia a conversão nesta transição. Com múltiplos equipamentos escravos, é necessário um sinal SS independente para cada equipamento.

Muitos equipamentos tem saídas *tri-state* que ficam em alta impedância quando o equipamento não está selecionado. Equipamentos sem saídas *tri-state* não podem compartilhar o barramento SPI com outros equipamentos, somente este escravo pode se comunicar com o mestre e somente se seu SS pode ser ativado.

3.2.1 Transmissão de Dados

Para começar uma comunicação, o mestre primeiro configura o *clock*, usando uma freqüência menor ou igual à freqüência que o dispositivo escravo suporta, tipicamente na faixa 1-70MHz.

O mestre coloca o SS do dispositivo desejado em nível lógico baixo. Se é necessário um período de espera (como em um ADC) então o mestre deve esperar pelo menos este período de tempo para iniciar os ciclos de *clock*.

Durante cada ciclo de *clock* do SPI, ocorre uma comunicação *full duplex*:

- o mestre envia um bit na linha MOSI, o escravo lê este bit na mesma linha;
- o escravo envia um bit na linha MISO, o mestre lê este bit na mesmo linha.

Como vista na Fig.3.2 as transmissões envolvem normalmente dois registradores de deslocamento, um no mestre e outro no escravo, que estão conectados em anel. O bit mais significativo é normalmente enviado primeiro, assim por diante até o bit menos significativo. Após o registrador ser totalmente rotacionado, o mestre e o escravo terão trocado os valor de seus registradores. Então cada dispositivo executa alguma operação com este valor, como escrever na memória. Caso exista mais dados para trocar, os registradores de deslocamento são carregados com um novo dado e o processo se repete.

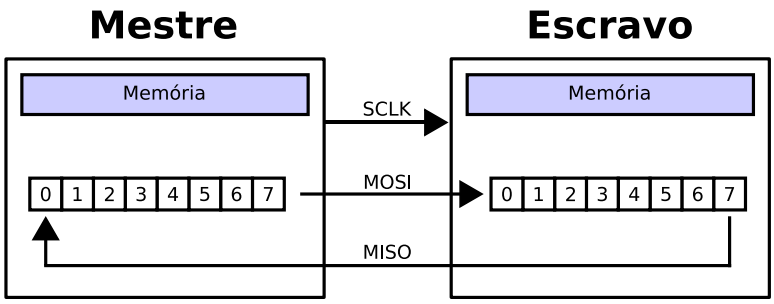


Figura 3.2: Transmissão de dados SPI.

As transmissões podem envolver qualquer número de ciclos de *clock*. Quando não existe mais dados para ser transmitido, o mestre pára de enviar sinais de *clock* e normalmente coloca o SS do dispositivo em nível lógico alto.

Transmissões frequentemente usam um *byte* (8-bits) e um mestre pode iniciar diversas transmissões deste tipo conforme a necessidade. Entretanto, palavras (16-bits)

são também comuns, como em codificadores de áudio, ADCs de 12 bits ou DACs. Cada escravo ligado ao barramento que não foi ativado usando sua linha de SS deve deve ignorar os sinais de *clock* e MOSI e não podem acessar o MISO. O mestre escolhe um único escravo por vez.

3.2.2 Polaridade de *Clock* e Fase

Em conjunto com a configuração da freqüência de *clock*, o mestre deve também configurar a polaridade e fase do *clock*. O manual da Freescale de SPI chama essas duas opções de CPOL e CPHA respectivamente, muitos fabricantes adotaram essa convenção.

O diagrama de tempo da Fig.3.3 é explicado abaixo:

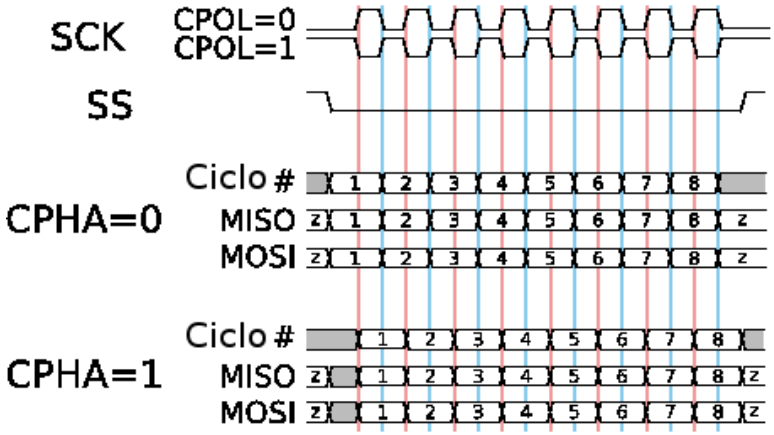


Figura 3.3: Diagrama de tempo SPI [5].

Para CPOL=0 o valor de base do *clock* é o nível lógico baixo

- Para CPHA=0, o dado é lido na borda de subida do *clock* (transição de nível lógico zero para nível lógico alto) e o dado é mudado na borda de descida do *clock*.
- Para CPHA=1, o dado é lido na borda de descida do *clock* e o dado é mudado na borda de subida do *clock*.

Para CPOL=1 o valor de base do *clock* é o nível lógico alto.

- Para CPHA=0, o dado é lido na borda de descida do *clock* e o dado é mudado na borda de subida do *clock*.

- Para CPHA=1, o dado é lido na borda de subida do *clock* (transição de nível lógico zero para nível lógico alto) e o dado é mudado na borda de descida do *clock*.

Configuração Escravo Independente

Na configuração de escravo independente o sinal de MISO precisa ser um pino *tri-state* nos escravos.

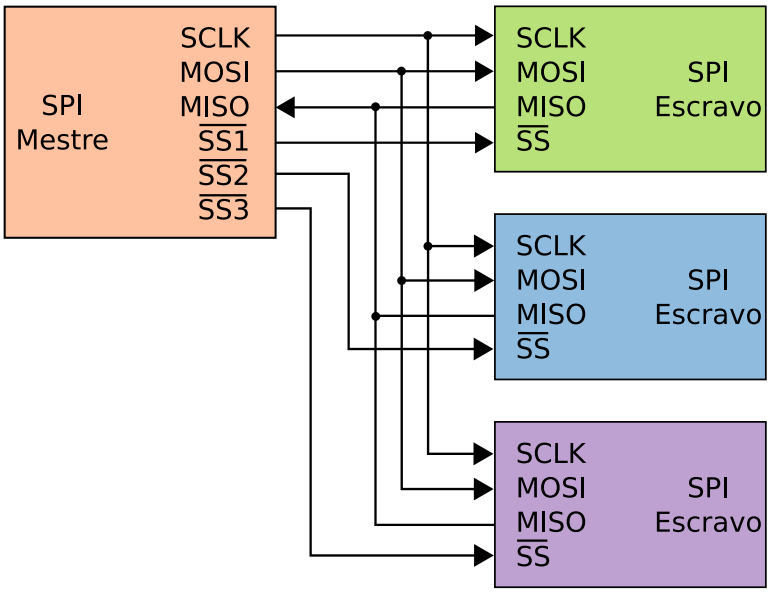


Figura 3.4: Configuração SPI independente.

3.2.3 Configuração Corrente

Alguns dispositivos com barramento SPI são projetados para permitir conexão em modo corrente(*daisy chain*), a saída do primeiro escravo é conectado à entrada do segundo escravo, e assim por diante. A porta SPI de cada escravo é projetada para enviar durante o segundo conjunto de *clock* uma cópia exata do dado recebido durante o primeiro conjunto de *clock*. Essa corrente funciona como o registrador de deslocamento da comunicação SPI. Neste arranjo é necessário somente uma linha de SS do mestre.

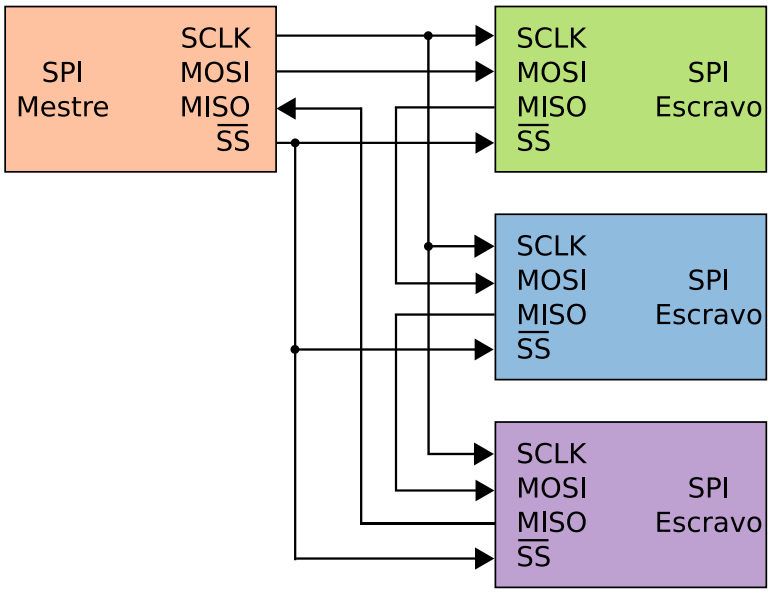


Figura 3.5: Configuração SPI em corrente.

Comunicações Válidas

Alguns dispositivos escravos são projetados para ignorar qualquer comunicação SPI na qual o número de pulsos de clock é maior que o especificado. Outros ignoram as entradas extras e continuam a colocar na saída o mesmo bit. É comum dispositivos diferentes usarem comunicações com comprimentos diferentes.

3.3 Vantagens e Desvantagens do SPI

Vantagens:

- comunicação *full duplex*;
- não é limitado a palavras de 8-bits;
- escolha arbitrária do tamanho da mensagem, conteúdo e função;
- interface de *hardware* extremamente simples;
- baixo consumo de energia;
- os escravos usam o *clock* do mestre, não é necessário osciladores de precisão;
- usa menos pinos, fios e conectores que a comunicação paralela;

- um único pino exclusivo por dispositivo (*chipselect*), os demais são compartilhados;
- não precisa de *transceivers*.

Desvantagens:

- necessita mais pinos que a comunicação I^2C;
- sem controle de fluxo em *hardware*;
- sem confirmação de comunicação;
- trabalha com pequenas distâncias, comparado a RS232, RS485 ou CAN.

Capítulo 4

Filtros

Um filtro elétrico é um sistema que pode ser utilizado para modificar, moldar, ou manipular o espectro de frequências de um sinal elétrico de acordo com requisitos predeterminados. Por exemplo, um filtro pode ser usado para amplificar ou atenuar uma faixa de freqüência, rejeitar ou isolar um componente de frequência específico, e assim por diante. As aplicações de filtros elétricos são numerosas. Por exemplo, para:

- eliminar contaminação de sinais como o ruído em sistemas de comunicação;
- separar componentes de frequência relevantes dos irrelevantes;
- detectar sinais em rádios e televisores;
- demodular sinais;
- limitar a banda de frequência antes de amostragens;
- converter sinais amostrados em sinais contínuos no tempo;
- melhorar a qualidade de equipamentos de áudio;
- síntese de fala;
- equalização de linhas de transmissão e cabos.

Um filtro elétrico recebe um sinal de entrada ou excitação e produz um sinal de saída ou resposta. O espectro de frequência do sinal de saída está relacionado com a entrada por alguma regra de correspondência. Dependendo do tipo da entrada, saída e operações internas do sinal, três tipos de filtros podem ser identificados:

- Filtro contínuo no tempo

  Um sinal contínuo no tempo é o qual está definido para cada e todo intervalo de tempo. Ele pode ser representado por uma função $x(t)$ na qual o domínio está definido entre (t_1, t_2), onde $-\infty \leq t_1$ e $t_2 \leq \infty$.

- Filtro de dados amostrados

  Um sinal amostrado ou modulado por impulso está definido em termos de uma somatória infinita de impulsos contínuo no tempo. Ele pode ser representado pela função abaixo.

$$\hat{x}(t) = \sum_{n=-\infty}^{\infty} x(nT)\delta(t - nT) \tag{4.1}$$

  Na qual $\delta(t)$ é a função impulso. O valor do sinal em qualquer instante do intervalo $nT \leq t \leq (n+1)T$ é zero. O espectro de frequência de um sinal contínuo no tempo ou amostrado é dado pela transformada de Fourier.

- Filtro discreto no tempo

  Um sinal discretizado no tempo é definido em instantes de tempo discretos. Ele pode ser representado por uma função $x(nT)$, onde T é uma constante e n é um inteiro no intervalo (n_1, n_2) de tal forma que $-\infty \leq n_1$ e $n_2 \leq \infty$. O valor do sinal em qualquer instante do intervalo $nT \leq t \leq (n+1)T$ pode ser zero, constante ou indefinido dependendo da aplicação. O espectro de frequência neste caso pode ser obtido pela transformada z no circulo unitário do plano z.

Dependendo do formato da entrada, saída e operações internas, os filtros podem ser classificados em analógicos ou digitais. Nos filtros analógicos as operações com o sinal são variações de tensão e corrente, por outro lado nos filtros digitais eles são codificados de forma binária. Filtros contínuos no tempo e de dado amostrado são sempre filtros analógicos. Entretanto, filtros discretos no tempo podem ser analógicos ou digitais.

Os filtros analógicos podem ser classificados com base nos componentes que os constituem como:

- Filtros RLC passivos: agrega resistores, indutores e capacitores;
- Filtros a cristal: são feitos de ressonadores piezoelétricos que podem ser modelados por circuitos ressonantes.
- Filtros mecânicos: são feitos de ressonadores mecânicos;

- Filtros de microondas: consistem de ressonadores de microondas e cavidades que podem ser representados por um circuito ressonante;
- Filtros RC ativos: contém resistores, capacitores e amplificadores. Nesse filtros, o funcionamento de um circuito ressonante é simulado pelo uso de realimentações.

4.1 Caracterização

Um filtro analógico linear e causal com entrada $x(t)$ e saída $y(t)$ pode ser caracterizado pela equação diferencial abaixo.

$$b_n \frac{d^n y(t)}{dt^n} + b_{n-1} \frac{d^{n-1} y(t)}{dt^{n-1}} + \cdots + b_0 y(t) = a_n \frac{d^n x(t)}{dt^n} + a_{n-1} \frac{d^{n-1} x(t)}{dt^{n-1}} + \cdots + a_0 x(t) \quad (4.2)$$

Os coeficientes $a_0, a_1, \ldots, a_n$ e $b_0, a_1, \ldots, b_n$ estão em função dos valores dos elementos e são reais caso os parâmetros do filtro (resistências, indutores, etc.) sejam reais. Se eles forem independentes do tempo, o filtro é dito invariante no tempo. A entrada $x(t)$ e a saída $y(t)$ podem ser tanto tensões ou correntes. A ordem da equação diferencial é dita como a ordem do filtro.

Um filtro analógico deve conter elementos reativos com o intuito de armazenar energia. Consequentemente, o filtro pode produzir uma saída mesmo na ausência de entrada. A saída nesta situação é causada pelas condições iniciais do filtro.

$$\left.\frac{d^{n-1} y(t)}{dt^{n-1}}\right|_{t=0}, \left.\frac{d^{n-2} y(t)}{dt^{n-2}}\right|_{t=0}, \cdots, y(0) \quad (4.3)$$

A resposta neste caso é chamada resposta para entrada nula.

4.2 Aproximação

O problema da aproximação para filtros é ilustrada na Figura 4.1. De um filtro deseja-se que ele produza uma reta de ganho para um ou mais intervalos de frequência, que mantenha ganho constante para outros intervalos e rejeite completamente as frequências nos intervalos restantes[1]. Como mostrado na Fig.4.1, o ganho é zero para as frequências muito altas e muito baixas. A linha pontilhada ao centro, é o comportamento desejado, a área em cinza mostra a variação permitida no ganho.

Circuitos realizáveis geram curvas suáveis, portanto não podem seguir precisamente a curva desejada. Porém é possível criar uma curva suave que fique dentro da variação permitida.

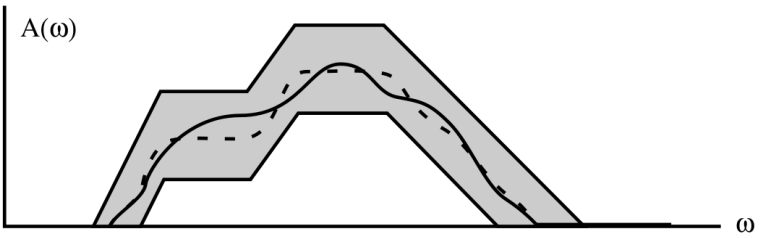


Figura 4.1: Aproximação.

Que tipo de resposta em frequência pode ser proposta que cumpra as especificações e que ao mesmo tempo seja realizável? A resposta depende dos tipos de componentes empregados.

Uma opção pode ser a seleção de um polinômio em ω como função de aproximação. Porém polinômios não se comportam bem no infinito. Eles tendem ao infinito a medida que $\omega \to \pm\infty$, está é uma solução não desejada. Uma função razão de polinômios irá funcionar bem, desde que o polinômio do numerador tenha ordem menor que o do denominador. Além do mais, de acordo com o teorema de Weierstrass, essa função pode aproximar qualquer função contínua em qualquer intervalo finito. Logo, essa função oferece uma aproximação para o projeto de filtros analógicos, sem o inconveniente da natureza repetitiva das funções trigonométricas.

Por consequência, a equação de ganho será dada como abaixo.

$$A(\omega) = \frac{N(\omega)}{D(\omega)} = \frac{a_0 + a_1\omega + a_2\omega^2 + \cdots + a_r\omega^r}{b_0 + b_1\omega + b_2\omega^2 + \cdots + b_q\omega^q} \tag{4.4}$$

Na qual $r \leq q$ por razões já comentadas acima.

4.2.1 Aproximação de Butterworth

Na aproximação de filtros passa baixa, é mais conveniente trabalhar com a função característica $K(\omega)$ que com a função de ganho. Esta é definida pela equação.

$$A^2(\omega) = \frac{1}{1 + K^2(\omega)} \tag{4.5}$$

A principal vantagem do uso da função característica é simplesmente que ela se aproxima de zero para qualquer intervalo de frequências que o ganho se aproxime da unidade. E se tornará infinitamente grande quando o ganho se torne zero. Essas idéias são ilustradas na Figura 4.2. Nota-se que $K(\omega)$ pode ser tanto positiva como negativa pois é elevada ao quadrado na equação.

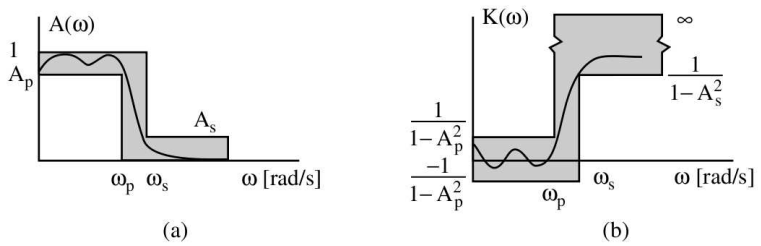


Figura 4.2: Especificação do filtro em termos: (a) Ganho (b) Função característica.

O problema básico é encontrar uma função característica que se aproxime de zero na banda de passagem , se aproxime de infinito na banda de parada e faça a transição entre eles de forma rápida. Idealmente, ela deveria ser exatamente zero para a banda de passagem e abruptamente passar para infinito para as frequências da banda de parada.

A aproximação de Butterworth de ordem n é dada por:

$$K(\omega) = \omega^n \tag{4.6}$$

Essa função característica está esboçada na Fig.4.3 para dois valores de n, um pequeno e outro grande. Como pode ser facilmente observado, as ordens maiores produzem melhores resultados. Nota-se que $K(1) = 1$ qualquer que seja a ordem, logo $A(1) = 0,5(-3dB)$ qualquer que seja a ordem.

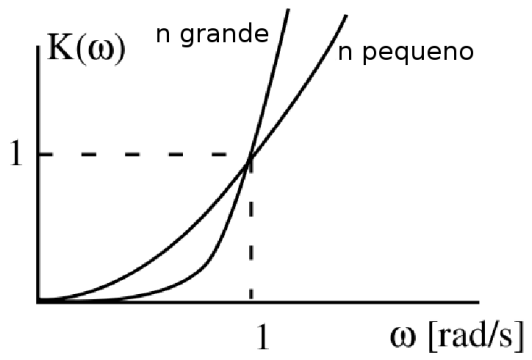


Figura 4.3: Função característica de Butterworth.

É conveniente definir a função atenuação $H(s)$ como o inverso da função de ganho:

$$H(s) = \frac{1}{G(s)} \tag{4.7}$$

Assumindo $s = j\omega$ e substituindo na Equação 4.5

$$\left|H(j\omega)\right|^2 - K^2(\omega) = 1 \tag{4.8}$$

a qual é uma forma da equação de Feldtkeller, a equação fundamental para os estudo de filtros.

A função de atenuação pode ser usada para ilustrar uma propriedade da aproximação de Butterworth. Aplicando-se a derivada k-ésima de (4.8)

$$\frac{\left|H(j\omega)\right|^2}{d\omega^k} = \frac{d^k K^2(\omega)}{d\omega^k} = \frac{d^k \omega^{2n}}{d\omega^k} = \frac{(2n)!}{k!}\omega^{2n-k} \tag{4.9}$$

Essa equação apresenta valor nulo para $\omega = 0$ para $k \leq 2n - 1$. Este é o único polinômio de todos polinômios monolíticos de ordem $2n$ ou menor que possui valor nulo na origem. Isso significa que a função característica de Butterworth ao quadrado é a mais plana de todos os polinômios para $\omega = 0$. Por essa razão, a aproximação de Butterworth é também chamada de aproximação de amplitude plana máxima.

O *ripple* da banda de passagem A_p é sempre $1/\sqrt{2}$. O valor do parâmetro para a transformação frequência é determinada pela frequência na qual se deseja que o filtro assuma o valor $1/\sqrt{2}$ na frequência de 1 rad/s. A ordem necessária é determinada pela equação:

$$n \geq \frac{log\left[\frac{1}{A_s^2} - 1\right]}{2log(\omega_s)} \tag{4.10}$$

O valor de n é o menor inteiro que respeite a inequação.

Logo, um único parâmetro determina completamente $A(\omega)$ da aproximação de Butterworth. Para a síntese deste filtro requer conhecimento da função transferência. Partindo do problema de fatoração

$$G(s)G(-s) = A^2(-s^2) \tag{4.11}$$

para este caso, temos

$$G(s)G(-s) = \frac{1}{1+(-s^2)^n} = \frac{1}{1+(-1)^n s^{2n}} \tag{4.12}$$

Para encontrar a $G(s)$ basta aplicar a restrição para que o filtro seja estável. Isso significa que os pólos de $G(s)G(-s)$ devem estar localizados no semiplano esquerdo. Os pólos estão localizados no zeros do denominador da equação 4.12.

$$1+(-s^2)^n = 0 \tag{4.13}$$

Escrevendo s em coordenadas polares

$$s = \rho e^{j\phi} \tag{4.14}$$

Reescrevendo

$$\rho^{2n} e^{j2n\phi} = e^{j(n-1)\pi} \tag{4.15}$$

para

$$\rho = 1 \tag{4.16}$$

e

$$\phi = \frac{\pi}{2} + (2k-1)\frac{\pi}{2n} \tag{4.17}$$

onde k é um inteiro qualquer.

4.2.2 Aproximação de Chebyshev

A resposta em freqüência de filtro Chebyshev passa baixa de ordem N é especificado por (4.18).

$$|H_a(j\Omega)|^2 = \frac{1}{1+\varepsilon^2 T_N^2(\Omega/\Omega_p)} \tag{4.18}$$

Onde $T_N(x)$ é o polinômio de Chebyshev de ordem N e ε é uma constante real menor que 1 a qual determina a ondulação(*ripple*) do filtro. O polinômio de Chebyshev de

ordem N é dado por

$$T_N(x) = \begin{cases} \cos(Ncos^{-1}x), & |x| \leq 1 \\ \cosh(Ncosh^{-1}x), & |x| \geq 1 \end{cases} \tag{4.19}$$

Polinômios de ordem maiores podem ser derivados por relação recursiva

$$T_{N+1}(x) = 2xT_N(x) - T_{N-1}(x) \tag{4.20}$$

onde $T_0(x) = 1$ e $T_1(x) = x$.

A aproximação de Chebyshev fornece uma resposta com ondulação (*ripple*) na banda de passagem e uma resposta plana na banda de parada.

A localização dos pólos para o filtro Chebyshev pode ser determinado pela relação, para $k = 1 \rightarrow N$

$$P_k = -sen\Theta_k senh\beta + icos\Theta_k cosh\beta \tag{4.21}$$

Na qual $\Theta_k = (2k-1)\pi/2N$ e $\beta = senh^{-1}(1/\varepsilon)$.
Para o polinômio de Chebyshev, Ω_p é a última freqüência na qual a resposta de amplitude passa pelo valor de oscilação na fronteira da banda de passagem.

O filtro de Chebyshev é completamente especificado pelos parâmetros ε ,Ω_p e N. Em projetos práticos, ε é a máxima oscilação na banda de passagem e Ω_p é freqüência de corte desejada. A ordem do filtro (N) é escolhida de acordo com a banda de parada desejada.

4.2.3 Aproximação Elíptica

A resposta em freqüência de um filtro elíptico passa-baixa de ordem N pode ser expressada por

$$|H_a(j\Omega)|^2 = \frac{1}{1 + \varepsilon^2 F_N^2(\Omega/\Omega_p)} \tag{4.22}$$

Na qual F_N é chamada de função elíptica Jacobiana. A aproximação elíptica apresenta ondulação na banda de passagem e na banda de parada. Comparado com os

filtros Butterworth e Chebyshev de mesma ordem, apresenta a transição mais abrupta da banda de passagem para banda de parada. O filtro elíptico é completamente definido pelos parâmetros ε ,α,Ω_p,Ω_s e N.

Onde

ε = oscilação na banda de passagem

α =fundo da banda de parada

Ω_p=freqüência na fronteira da banda de passagem

Ω_s=freqüência na fronteira da banda de parada

N=ordem do polinômio

Em projetos práticos, o ondulação da banda de passagem, o fundo da banda de parada e Ω_s são escolhidos e N é determinado e arredondado para cima para o valor inteiro mais próximo. A função elíptica Jacobiana apropriada deve ser selecionada e $H_a(j\Omega)$ é calculada e fatorada para extrair somente os pólos do plano esquerdo.

4.2.4 Aproximação de Bessel

O objetivo principal das três aproximações acima é conseguir uma característica de atenuação especifica. A característica de fase destes filtros, entretanto, não é linear. O filtro de Bessel é otimizado para reduzir a distorção de fase, ou seja, o atraso maximamente plano. A função de transferência de um filtro de Bessel é dada por

$$H_a(s) = \frac{B_0}{B_N(s)} = \frac{B_0}{\sum_{k=0}^{N} B_k s^k}, B_k = \frac{(2N-k)!}{2^{N-k}k!(N-k)!}, k = 0, 1, \cdots, N \tag{4.23}$$

Na qual $B_N(s)$ é o polinômio de Bessel de ordem N. O quadrado da função de resposta em freqüência é dado por

$$|H_a(j\Omega)|^2 = 1 - \frac{\Omega^2}{2N-1} + \frac{2(N-1)\Omega^4}{(2N-1)^2(2N-3)} + \cdots \tag{4.24}$$

4.3 Projeto do Filtro Butterworth

Existem inúmeras topologias de filtros para implementar um filtro analógico. Esses circuitos só diferem quanto aos valores dos componentes.

4.3.1 Topologia Cauer

A topologia Cauer usa componentes passivos(capacitores em paralelo e indutores em série) para implementar um filtro analógico. O filtro Butterworth, dada uma função de transferência pode ser realizado usando a primeira forma de Cauer [12]. Os k-ésimos elementos são calculados por

$$C_k = 2\sin\left[\frac{(2k-1)}{2n}\pi\right] \tag{4.25}$$

para k ímpar

$$L_k = 2\sin\left[\frac{(2k-1)}{2n}\pi\right] \tag{4.26}$$

para k par

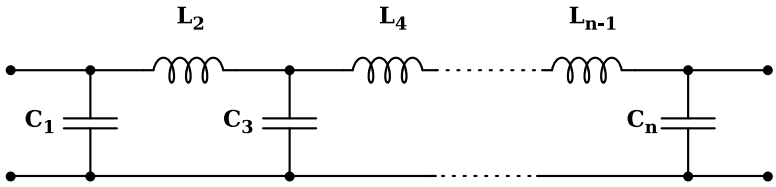


Figura 4.4: Topologia Cauer.

4.4 Resposta em Frequência

A partir da equação de ganho,

$$G_n(\omega) = |H_n(j\omega)| = \frac{1}{\sqrt{1+\omega^{2n}}} \tag{4.27}$$

pode-se traçar um gráfico mostrando a resposta em frequência do filtro Butterworth para diferentes ordem.

4.5 Resposta Transiente

Nas seções anteriores o filtro Butterworth foi analisado no domínio da frequência. A entrada era considerada como sendo uma senóide, porém na prática os sinais aplicados aos filtro são mais complexos. A reposta do filtro a um sinal de forma de onda não senoidal é chamada de *resposta transiente* [13].

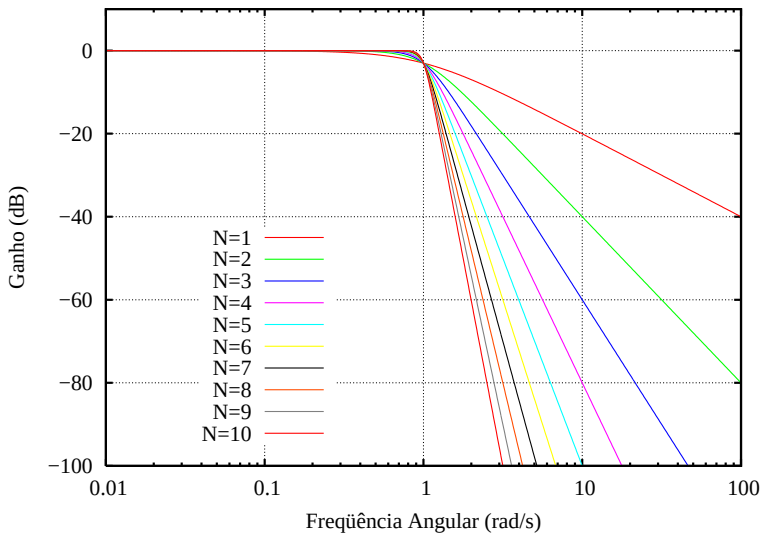


Figura 4.5: Resposta em frequência para diversas ordens.

A resposta transiente é analisada melhor no domínio do tempo, logo trabalha-se com sinais que estão em função do tempo, como pulsos e degraus. O domínio da frequência e do tempo estão relacionadas através da transformada de Fourier ou de Laplace.

4.5.1 Resposta ao Degrau Unitário

Abaixo é mostrado a resposta do filtro Butterworth de diversas ordens ao degrau unitário.

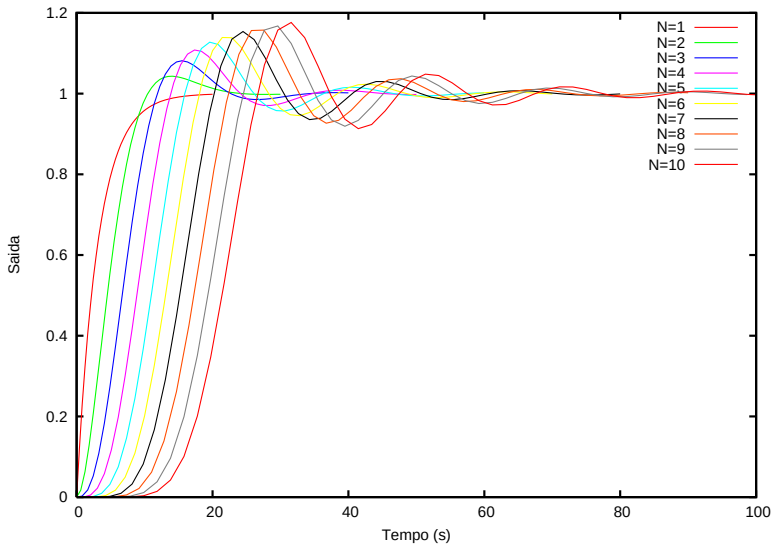


Figura 4.6: Resposta ao degrau para diversas ordens.

4.5.2 Atraso de Grupo

Abaixo é mostrado o atraso introduzido pelo filtro Butterworth de diversas ordens aos componentes da frequência do espectro.

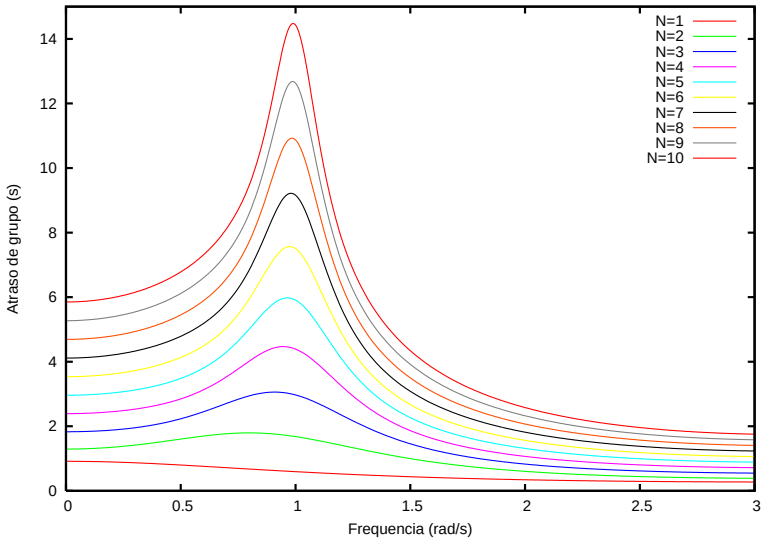


Figura 4.7: Atraso de grupo para diversas ordens.

Capítulo 5

Conversor Analógico Digital

Quase todo sistema de instrumentação moderno contém alguma forma de digitalizador, ou conversor analógico-digital (ADC). Um ADC converte sinais do mundo real (geralmente tensões) em números digitais para que computadores ou processadores digitais possam adquirir sinais automaticamente, armazenar e buscar informações sobre os sinais, processar e analisar a informação e mostrar os resultados das medidas. Um sistema digital pode realizar esse trabalho com maior velocidade, confiabilidade, repetibilidade, precisão e resolução que um sistema puramente analógico normalmente pode.

As duas funções principais de um ADC são amostragem e quantização. Esses dois processos convertem sinais analógicos de tempo e tensão contínuos em números digitais com amplitudes e tempos discretos. Para representar sinais variantes para cada instante de tempo e para cada possível tensão seria necessário capacidade de armazenamento infinita. Logo para cada sistema existe uma taxa de amostragem e níveis de quantização (resolução) apropriados para que o sistema retenha a informação necessária sobre os sinais de entrada. Finalmente, o propósito da amostragem e da quantização é reduzir ao máximo o conjunto de informação sobre um sinal que um sistema deve armazenar para reconstruí-lo ou analisá-lo corretamente.

5.1 Amostragem

Como não é possível digitalizar um conjunto infinito de informação, um sinal analógico deve primeiramente ser amostrado. A amostragem é o processo de capturar um valor de um sinal para representá-lo durante um intervalo de tempo. Normalmente, digitalizadores capturam amostras em intervalos regulares de tempo, por exemplo, a cada microssegundo.

A amostragem é realizada por um circuito chamado *sample-and-hold*(S/H) [11], o qual, no instante da amostragem, transfere o sinal de entrada para a saída e o retém continuamente, mesmo que a entrada se altere. Um S/H geralmente consiste de um *buffer* seguido de uma chave eletrônica ligada a um capacitor. No instante da amostragem, a chave rapidamente conecta o *buffer* ao capacitor, permitindo que o capacitor se carregue com a tensão de entrada. Quando a chave é desconectada, o capacitor retém sua carga e também a tensão, continuamente enquanto o ADC executa sua tarefa. Muito frequentemente, a amostragem é feita por um circuito chamado *track-and-hold*(T/H), que funciona ligeiramente diferente do S/H. Enquanto o S/H retém o sinal analógico até a próxima amostragem, o T/H retém o sinal analógico somente enquanto o ADC executa seu ciclo de conversão. Depois que o ADC finaliza, o T/H reconecta o *buffer* ao capacitor e acompanha o sinal de entrada até a próxima amostragem. O resultado é uma amostragem mais precisa, porque o *buffer* tem mais tempo para carregar o capacitor. Quase todos os modernos *chip* de ADC têm incorporado o S/H ou T/H.

É claro que a amostragem joga fora alguma informação, logo o segredo da amostragem é a escolha da taxa de amostragem de tal forma que o sinal de entrada seja suficientemente preservado. O principal problema causado pela subamostragem (baixa taxa de amostragem) é o efeito da superposição de espectro, que ocorre toda vez que um sinal contém freqüências maiores que a metade da freqüência de amostragem. A Fig. 5.1 mostra o efeito da subamostragem.

Se o sinal na entrada do amostrador não tiver componentes de freqüência maiores que metade da taxa de amostragem o efeito da superposição de espectro não ocorrerá. Essa é a essência do teorema da amostragem de Shannon[9], o qual mostra que, com interpolação matemática, o sinal de entrada pode ser recuperado a partir dos dados amostrados, desde de que a freqüência de amostragem seja pelo menos duas vezes

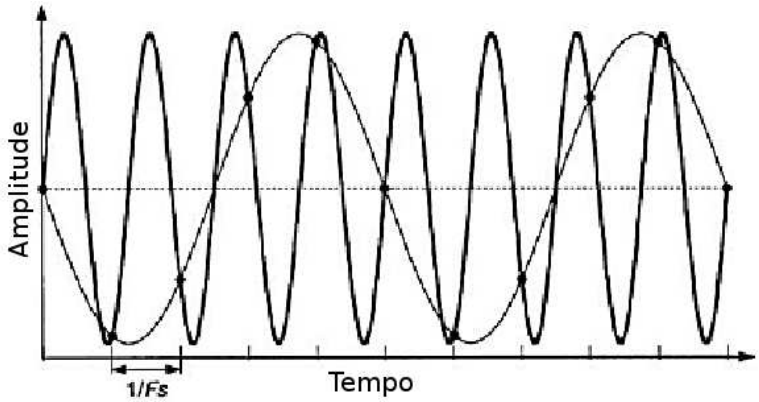


Figura 5.1: Efeito da subamostragem [11].

maior que a maior freqüência que constitui o sinal. Algumas vezes refere-se $0.5F_a$ como a freqüência de Nyquist, porque Nyquist estava preocupado com a largura de banda máxima dos sinais [8].

Nem sempre é necessário se preocupar com a superposição de espectro. Quando um instrumento está medindo um sinal de pouca variação, capturar as componentes de alta freqüência não é importante. Nesses casos escolhe-se uma taxa de amostragem de forma a adquirir dados suficientes. Por outro lado, se o instrumento esta medindo um sinal, no qual a freqüência tem importância, a superposição de espectro deve ser levada em consideração. Quando as componentes de frequência do sinal de entrada acima da taxa de amostragem podem interferir nas medidas, deve-se colocar um filtro *antialias* antes do S/H. Um filtro *antialias* é um filtro passa-baixa com ganho unitário para a banda de freqüência de interesse. Conforme a freqüência sobe, ele começa a atenuar o sinal, evitando que altas freqüência cheguem ao S/H com amplitude suficiente para distorcer as medidas.

5.2 Quantização

O que a amostragem representa para o domínio do tempo a quantização representa para o domínio da amplitude. O processo de digitalização não está completo até que o sinal amostrado, que ainda está na forma analógica, é reduzido à informação digital [11]. Um ADC quantiza um sinal amostrado utilizando um valor inteiro de uma lista finita pré-determinada de valores inteiros para representar cada amostra analógica. Cada valor inteiro da lista representa uma fração da variação do sinal analógico de

entrada. Normalmente, um ADC escolhe o valor mais próximo da amostra atual de uma lista uniformemente espaçada. Essa regra implica em uma função de transferência da entrada analógica para a saída digital em forma de escada. A Fig.5.2 mostra um quantizador de três bits, o qual representa um sinal analógico de entrada contínuo em apenas oito (2^3) possíveis valores de saída. Cada degrau nesta escada tem (idealmente) a mesma largura ao longo do eixo x, a qual é chamada de largura de código e definida como 1 LSB(*least significant bit*). Neste caso 1 LSB é igual a 1V.

É desejável que um sistema de medida tenha uma função de transferência como um linha reta e sem nenhum degrau. O segundo gráfico da Fig. 5.2 é a função de transferência ideal subtraída da função escada, ou seja, o erro de quantização. Em um ADC ideal, o erro de quantização máximo é de $\pm 1/2LSB$.

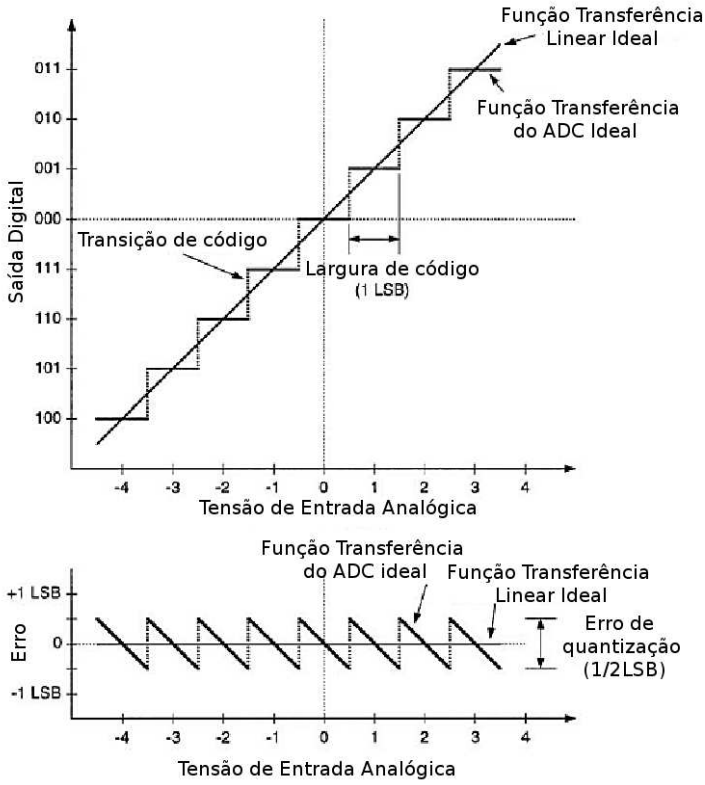


Figura 5.2: Função de transferência [11].

5.3 Especificações de um ADC

5.3.1 Resolução e Variação de Entrada

A variação de entrada de um ADC é a máxima excursão da tensão de entrada na qual a conversão é válida. Os pontos extremos do máximo e mínimo da variação de entrada são chamado respectivamente *+full-scale* e *-full-scale*. Quando o *-full-scale* é 0V a faixa de variação é chamada unipolar, e quando *-full-scale* é uma tensão negativa de mesma magnitude de *+full-scale* se trata de uma faixa de variação bipolar. Quando a tensão de entrada excede a faixa de entrada a conversão estará com certeza errada. Essa condição é chamada *overrange*.

A resolução de um ADC é a menor variação na tensão que o ADC pode detectar, que é conseqüentemente 1 LSB. É comum expressar a resolução de um ADC pelo número de bits que ele possui, por exemplo, "12 bits"significa que o ADC pode representar uma parte em 2^{12} (=4096) [11].

5.3.2 Codificação

Existem inúmeros formatos de saída de dados de um ADC. Um ADC usando codificação binária mostra todos bits zero para o *-full-scale* e todos os bits um para *+full-scale*. Se a faixa de variação é bipolar, a *-full-scale* é uma tensão negativa, a codificação binária é algumas vezes chamada de binária deslocada, visto que o código 0 não representa a entrada de 0V. Para que o código 0 corresponda a 0V, os DACs bipolares usam o código de complemento de 2, que é idêntico a codificação binária deslocada, exceto pelo bit mais significativo (MSB) que é invertido, então 100...00 corresponde a *-full-scale*, 000 ...00 corresponde a 0V e 011...11 corresponde a *+full-scale*[11].

5.3.3 Erros Lineares

Erros lineares são os maiores e mais comuns erros em um ADC e são facilmente corrigidos por simples calibrações ou pela adição e multiplicação de constantes de correção. Erros lineares não distorcem a função de transferência, eles somente mudam de alguma maneira a faixa de variação de entrada com a qual o ADC opera.

A Fig. 5.3 mostra a função de transferência ideal de um ADC de três bits com um

erro de *offset* de 0.6 LSB e o erro resultante. A Fig. 5.4 mostra um ADC ideal com um erro de ganho de +25% e o erro resultante do excesso de ganho. Os erros de *offset* podem ser compensados pela adição de uma tensão corretiva no circuito analógico ou pela adição de uma constante no dado digital. Erros de ganho podem ser corrigidos pelo circuito analógico com o uso de potenciômetros ou amplificadores controlados por tensão ou pela multiplicação do dado digital por uma constante de correção[11].

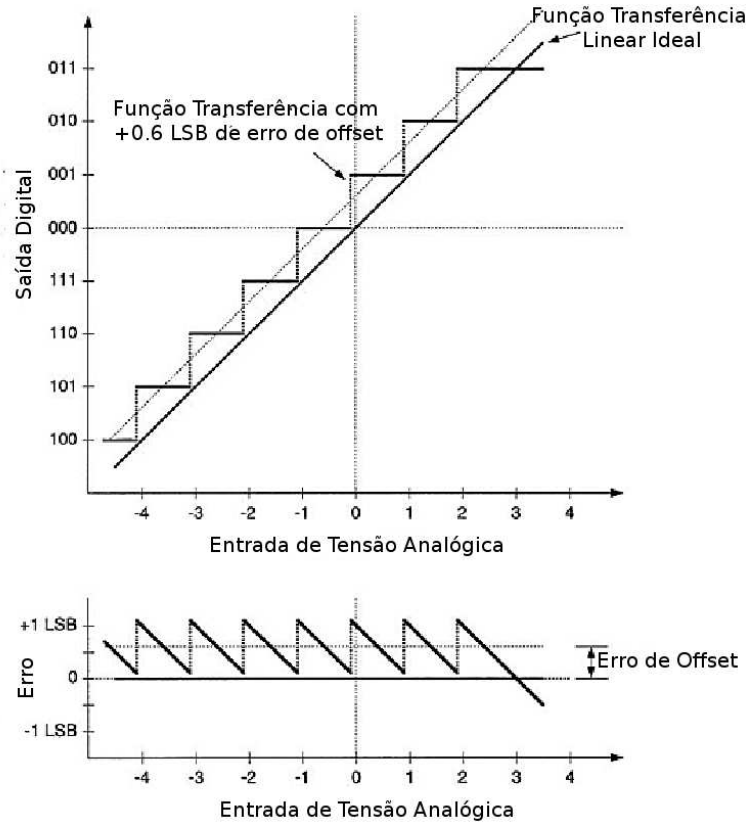


Figura 5.3: Erro de *offset* [11].

5.3.4 Erros Não-Lineares

Os erros não-lineares são mais difíceis de compensar seja no domínio digital ou analógico, e são melhor minimizados pela escolha de um ADC bem projetado e bem especificado. As não-linearidades são caracterizadas de duas maneiras: não-linearidade diferencial(DNL) e não-linearidade integral(INL).

DNL mede a irregularidade na largura dos degraus de código comparado suas larguras com o valor ideal de 1 LSB. A Fig. 5.5 ilustra um ADC de três bits com algumas irregularidades na largura dos códigos. A maioria dos códigos têm a largura correta

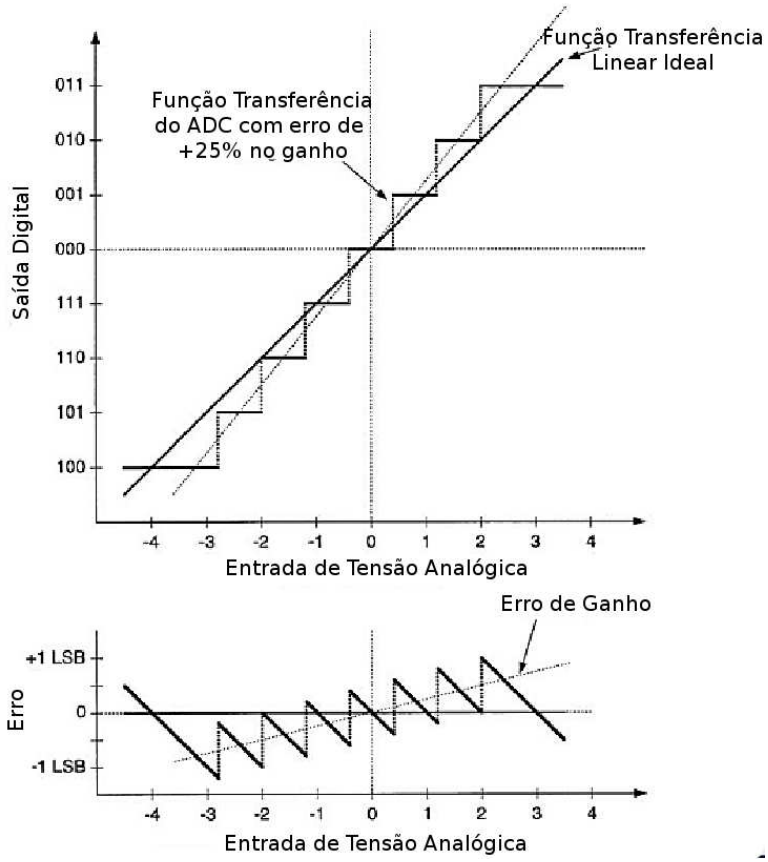


Figura 5.4: Erro de ganho [11].

de 1 LSB, logo, não contribuem para a DNL, mas um código tem largura de 0.6 LSB, produzindo um DNL de -0.4 LSB e um código com largura de 1.8 LSB, produzindo um DNL de +0.8 LSB para este código. Esse ADC estaria dentro das especificações caso o DNL especificado fosse $\pm 0.9LSB$, por exemplo, o qual garante que todas as larguras de código estariam entre 0.1 e 1.9 LSB. É possível que um código não apareça na função de transferência. Isso ocorre quando o código tem largura de 0 LSB, também conhecido como *missing code*. Seu DNL é -1 LSB. Se um ADC tiver um único *missing code*, o tamanho do degrau naquele ponto será duplicado na função de transferência. Por essa razão que é importante que a especificação de um ADC declarar que o ADC não tem *missing codes*, garantindo que todos os códigos tem largura superior que 0 LSB.

INL mede o desvio na transição de código da linha reta ideal, provando que os erros lineares (*offset* e ganho) foram removidos. A Fig. 5.6 mostra um ADC com INL de +0.7 LSB.

Precisão relativa (RA) é a medida de não-linearidade relacionada com INL, porém mais útil. Ele indica não somente o quanto longe as transições de código estão do ideal, mas

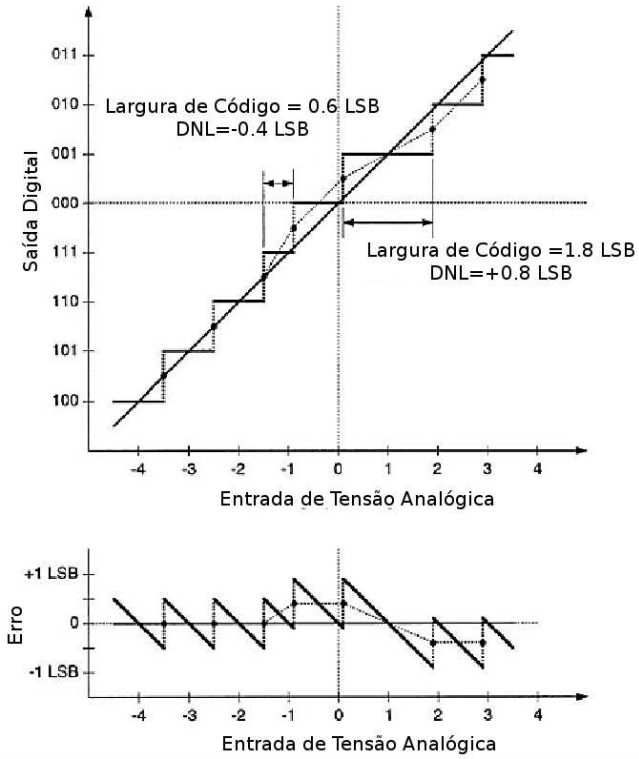


Figura 5.5: Não-linearidade diferencial [11].

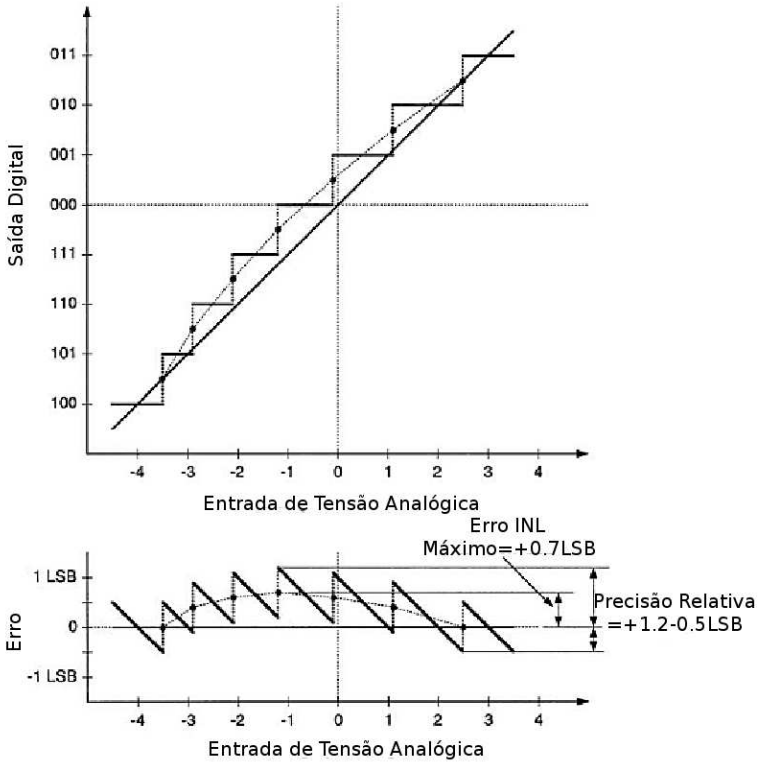


Figura 5.6: Não-linearidade integral [11].

o quanto longe qualquer parte da função de transferência desvia do ideal (assumindo que os erros de *offset* e ganho foram calibrados). Em um ADC sem ruído, o pior caso para RA sempre excede o pior caso para INL por $\pm 0.5LSB$ como pode-se observar na Fig. 5.7 [11].

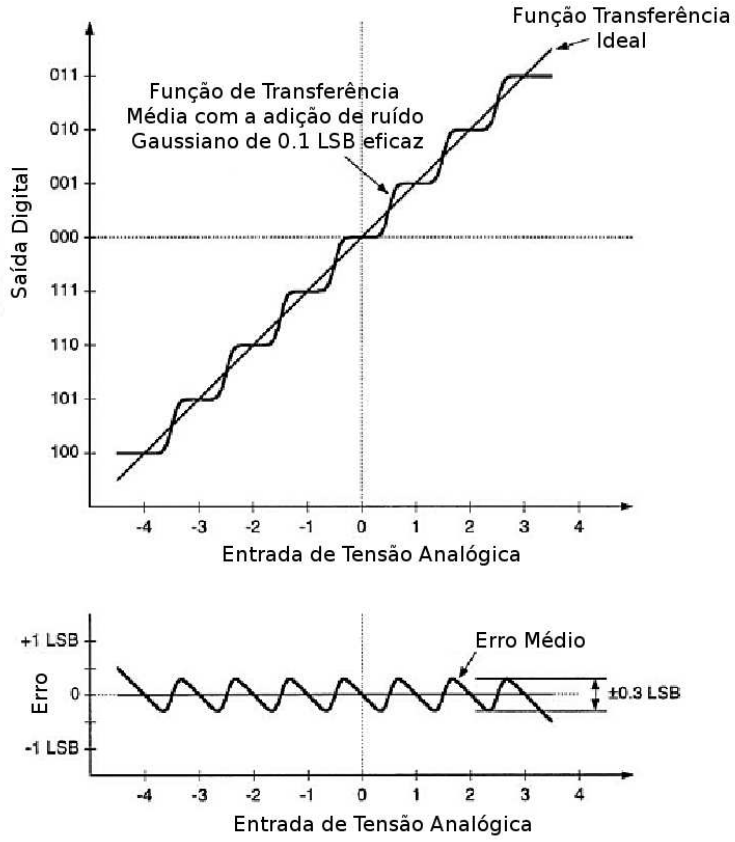


Figura 5.7: Precisão relativa [11].

5.3.5 Erros de Abertura

Erros de abertura estão relacionados com o tempo da conversão analógica-digital, particularmente do S/H. Atraso de abertura caracteriza o tempo gasto entre o recebimento do pulso de conversão pelo ADC e a retenção da amostra. Supondo um amplificador com largura de banda de 1 MHz com 160ns de atraso de grupo, e se um ADC tenha um atraso de abertura de 10ns, o atraso de abertura efetivo do sistema será de -150ns. *Jitter* caracteriza a irregularidade no tempo em que são feita as amostragens. Se o intervalo nominal entre amostras de um ADC é $1\mu s$, o intervalo real de amostragem pode variar em algumas centenas de picosegundos entorno de $1\mu s$ ou

mesmo alguns nanosegundos a cada ciclo. As fontes de contribuição para essas variações podem ter origem na fonte de *clock* à cristal, do *clock* digital ou do S/H. *Jitter* geralmente é especificado em picosegundos de pico a pico ou picosegundos eficazes.

Jitter interfere na medida (particularmente na análise espectral) pela modulação em freqüência que o mesmo produz no sinal de entrada. Um ADC com efeito do *Jitter* amostrando uma senóide pura pode causar um espalhamento espectral, e talvez encobrir informação úteis. Em um ADC normal a interferência do *Jitter* tende a ocorrer em freqüências muito próximas do sinal principal[11].

5.3.6 Ruído

O ruído limita a resolução de um ADC pela adição de uma forma de onda de interferência ao sinal de entrada enquanto o sinal é convertido. O ruído pode ter diversas origens. Os tipos mais comuns têm origem térmica, que são causados pela natureza aleatória da condução elétrica em resistores e transistores. Ruído térmico piora em temperaturas elevadas e com altas resistências. Outra grande parte dos ruídos nos ADC são acoplados eletromagneticamente de circuitos vizinhos, como o circuito de *clock* ou circuitos lógicos.

Erros de quantização em algumas vezes ser tratado como ruído de quantização. Embora o erro de quantização é perfeitamente previsto com respeito ao sinal de entrada, quando o sinal é aleatório o erro de quantização se torna caótico e pode ser tratado com uma outra fonte de ruído aleatório, na qual a distribuição estatística é uniforme de -0.5LSB a +0.5LSB e com desvio padrão de $1/\sqrt{12}LSB$. Algumas vezes essa é fonte dominante de ruído em aplicações de análise espectral. Uma vez que está presente no ADC, exitem maneiras de removê-lo caso este seja independente do sinal[11].

5.3.7 Faixa Dinâmica

A faixa dinâmica de um ADC é a razão entre maior e menor sinal que um conversor pode representar. O sinais maiores costumam ser senóides com amplitude igual ao fundo de escala e os menores geralmente são ruídos de fundo. A faixa dinâmica pode ser expressada simplesmente como uma razão, ou mais comumente em decibéis (dB):

$$DR = 20log(S/N) \tag{5.1}$$

Na qual DR é a faixa dinâmica em dB, S é a tensão eficaz do maior sinal e N é o valor eficaz da amplitude do menor sinal, ou seja ruído. O ruído deve incluir o ruído de quantização, que para um conversor perfeito, sem ruído é $1/\sqrt{12}LSBrms$. Para um conversor de n-bits, uma senóide com amplitude de $2^{n-1}LSB$, igual a fundo de escala, que corresponde a uma tensão eficaz de $2^{n-1}/\sqrt{12}LSB$. Logo a faixa dinâmica de um ADC perfeito é

$$DR = 20log(2^{n-1.5}\sqrt{12}) \approx 6.0206n + 1.7609 \tag{5.2}$$

A Equ. 5.2 pode ser usada para determinar o número efetivo de bits (ENOB) de um ADC imperfeito. ENOB pode considerar somente o ruído ou pode incluir as distorções harmônicas. É calculado assim

$$ENOB = (DR - 1.7609)/6.02026 \tag{5.3}$$

Por exemplo, um ADC de 16 bits com faixa dinâmica de 92 dB tem um ENOB de 14.988 bits.

5.4 Tipos de ADCs

O bloco fundamental de um ADC é o comparador. Todos os tipos de ADC tem pelo menos um comparador e alguns têm diversos. O comparador por si só é ADC de um bit; ele tem duas entradas analógicas e uma saída digital. Se a tensão na entrada positiva é maior que a tensão na entrada negativa, a saída digital do comparador é 1. Se a tensão no entrada positiva é menor que a tensão na entrada negativa, a saída digital do comparador é 0. Conforme pode ser observado na Fig. 5.8.

Outra parte que todos os DACs têm em comum é uma referência linear. Com a qual o comparador de um ADC comparara com o sinal de entrada no processo de conversão. Ela determina diretamente as não-linearidades diferencial e integral do ADC. Exemplos de referência lineares incluem capacitores(em ADCs integradores) e DAC (encontrados em ADCs de aproximação sucessiva).

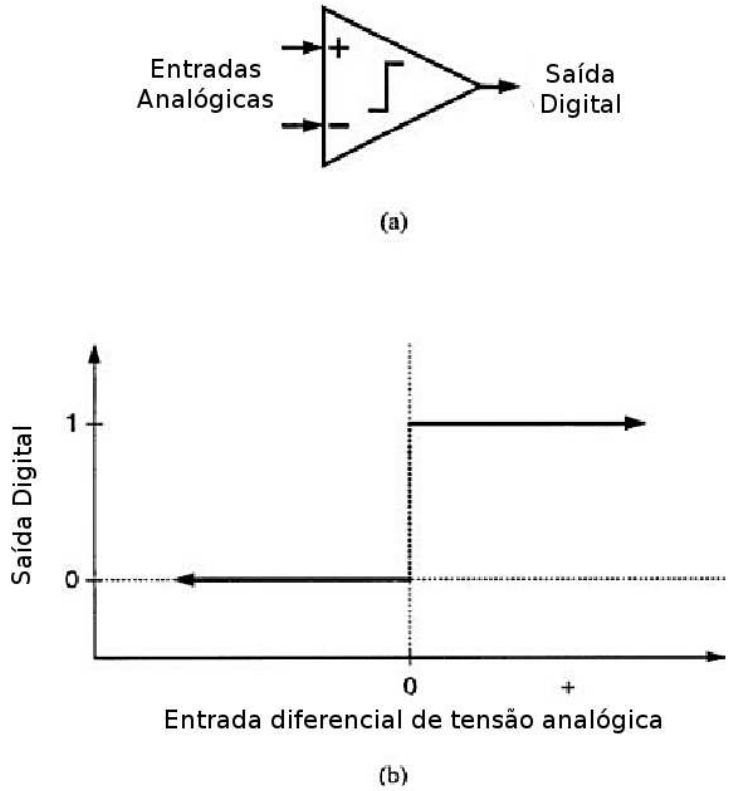


Figura 5.8: Comparador [11].

Uma terceira parte em do ADC é a referência de tensão. A referência de tensão determina o fundo de escala de entrada de um ADC e geralmente fazem parte ou estão associados com a referência linear.

5.4.1 Flash

Conversores *Flash* são os mais rápidos ADCs, chegando a velocidades de 1GS/s e resolução de 10 bits. O conversor *flash* com n bits de resolução tem $2^n - 1$ comparadores de alta velocidade funcionando em paralelo, como pode ser visto na Fig. 5.9. Uma cadeia de resistores entre duas tensões de referência fornece um arranjo de tensões uniformemente espaçadas que servem de entrada para cada um dos comparadores. O sinal de entrada é comparada com todas essa tensões simultaneamente, a saída dos comparadores são 1 para todas as tensões menores que a tensão de entrada e 0 para para todas as tensões maiores que a tensão de entrada. A coleção de resultados das saídas digitais dos comparadores é chamada de código termômetro. Uma lógica rápida converte o código termômetro em números binários normais.

Por causa de sua simplicidade, eles são rápidos, mas conversores *flash* são limitados a resolução de 10 bits e abaixo porque o número de comparadores e resistores cresce exponencialmente com a resolução.

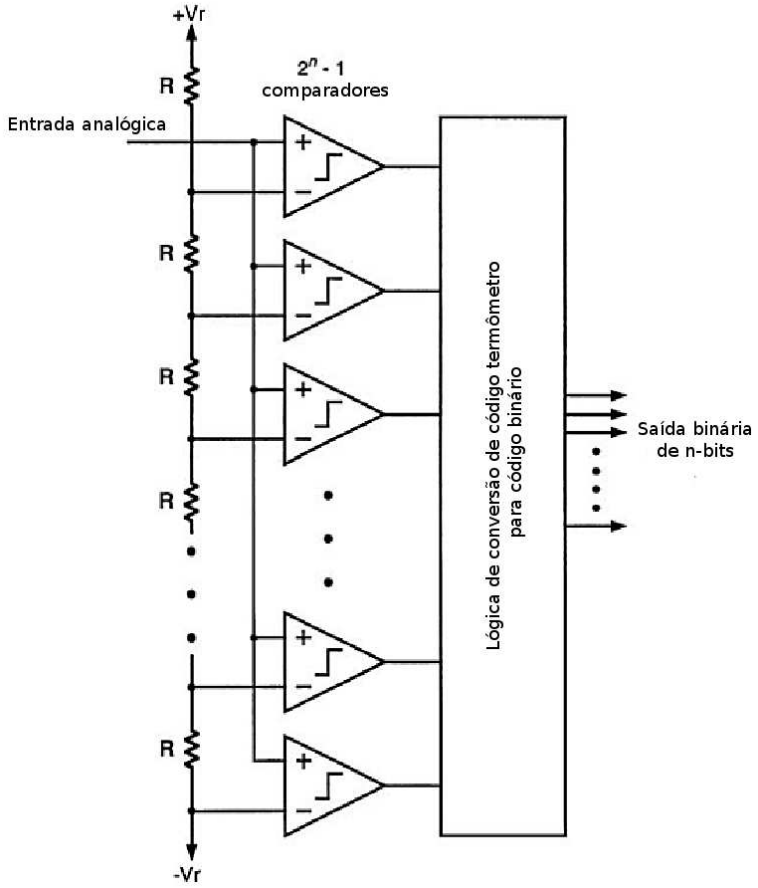


Figura 5.9: Conversor *Flash* [11].

5.4.2 Registrador de Aproximação Sucessiva

ADCs de registrador aproximação sucessiva (SAR) são os mais comuns, tendo resoluções de 8 a 16 bits e velocidade de até 1MS/s. Eles são geralmente de baixo custo, e tem uma ótima linearidade integral. Um ADC do tipo SAR contém um DAC de n-bits de alta velocidade e um comparador em um laço realimentação, veja Fig. 5.10. O registrador de aproximação sucessiva cria uma sequência n tentativas ao DAC, as quais são comparadas com a tensão de entrada, como pode ser observado na Fig. 5.11. Conforme a conversão ocorre, o registrador constrói resultado binário de n-bits de acordo com a saída do comparador. Ao fim da sequência o registrador converge para o valor do DAC

mais próximo do sinal de entrada.

A velocidade de um ADC do tipo SAR é limitada pela velocidade do DAC do laço de realimentação. A tecnologia atual permite 12 bits de resolução de 12-bits com velocidade de 1MS/s e 16-bits com velocidade de 200kS/s. Para conversões mais velozes utiliza-se arquiteturas multiestágios.

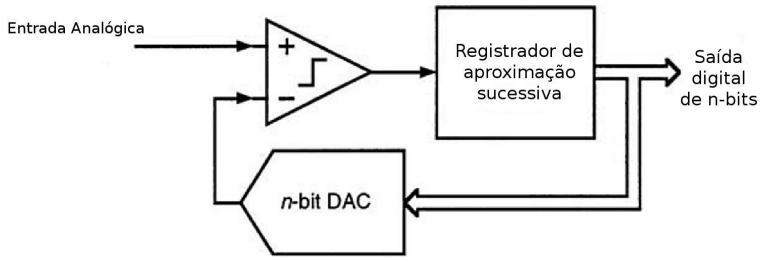


Figura 5.10: Conversor SAR [11].

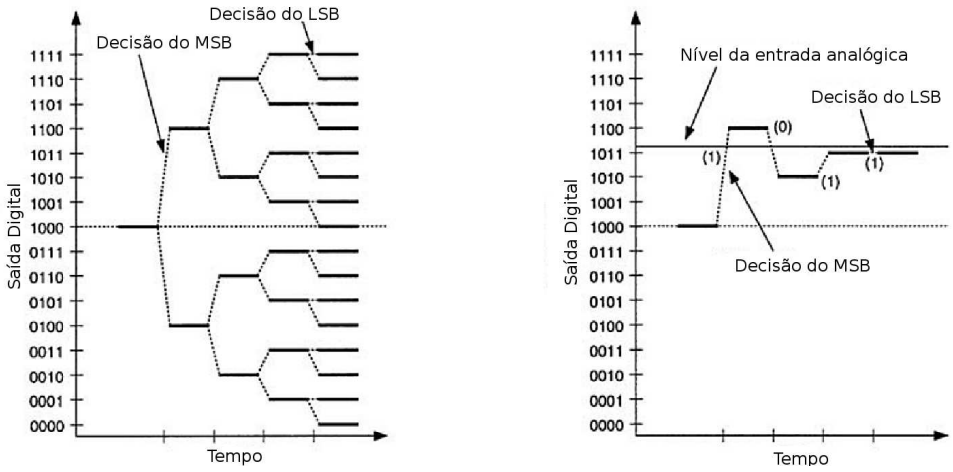


Figura 5.11: Sequência de tentativas [11].

5.4.3 Multiestágios

Para obter taxas de amostragem maiores que os ADCs do tipo SAR com resoluções de 10 a 16 bits, ADCs multiestágios usam um processo iterativo de aproximação dos ADCs do tipo SAR mas reduzindo o número de iterações em uma conversão. Em vez de somente usar um comparador, o ADC multiestágio usa conversores *flash* de baixa resolução (4 a 8 bits). A Fig. 5.12 mostra um exemplo de um ADC de 12 bits com 2 estágios, constituído de dois ADCs do tipo *flash* e DAC de alta velocidade. O ADC *flash* de 6-bits converte o erro residual do ADC *flash* de 8-bits. As duas saídas digitais

são combinadas para produzir uma conversão resultante de 12-bits.

Se cada ADC *flash* tem um S/H em sua entrada, então cada estágio pode converter o erro residual do estágio anterior enquanto o estágio anterior converte a próxima amostra. O conversor com um todo opera à taxa de amostragem do estágio mais lento. Sem o S/H extra, uma nova conversão só pode começar após o resíduo ter sido propagado por todos os estágios. Essa variedade ADC multiestágio é chamado ADC *pipelined*.

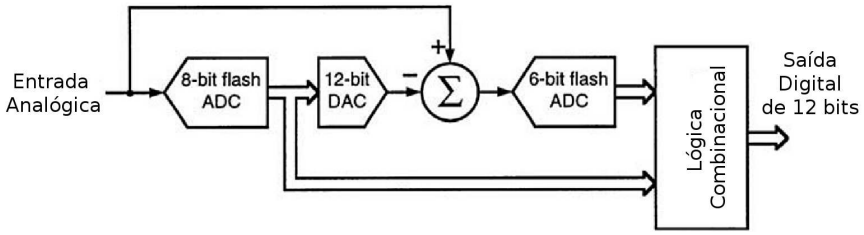


Figura 5.12: Conversor multiestágios [11].

5.4.4 Integradores

Conversores integradores são usados em aplicações de baixa velocidade e alta resolução, como voltímetros. Eles são conceitualmente simples, consiste de um amplificador integrador, um comparador, um contador digital e um capacitor muito estável para acúmulo carga (Fig. 5.13). O ADC integrador mais comum é ADC de rampa dupla, cuja ação é mostrada na Fig. 5.14. Inicialmente, o capacitor está descarregado, logo não apresenta tensão entre seus terminais. No instante $t = 0$, a entrada do integrador é ligada ao sinal de entrada e o capacitor é carregado por um intervalo de tempo T1 fixo. A taxa de carregamento e então sua tensão é proporcional a tensão de entrada. No instante T1 a entrada é ligada à tensão de referência, que tem valor negativo, então, o capacitor começa a descarregar a uma taxa proporcional à referência. O contador mede o tempo que leva para descarregar completamente o capacitor. Se o capacitor for de alta qualidade, a razão do tempo de descarga e carga é proporcional à razão entre o sinal de entrada e a tensão de referência, e assim a saída do contador representa a tensão analógica de entrada.

Uma diferença importante entre ADCs integradores e os outros é a maneira que eles amostram o sinal. Conversores integradores não amostram a tensão, ele convertem o

valor médio da tensão durante o período de integração que é acumulada no capacitor. Isso tende a rejeitar o ruído que a amostragem convencional não pode, especialmente ruídos periódicos. Muitos ADCs integradores com períodos de integração que sejam múltiplos do período de uma linha de tensão alternada (1/60 ou 1/50 s), isso cancela qualquer interferência causada pelo sistema de potência.

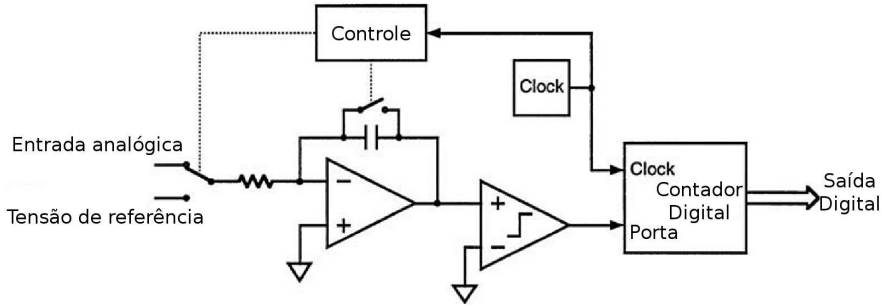


Figura 5.13: Conversor integrador [11].

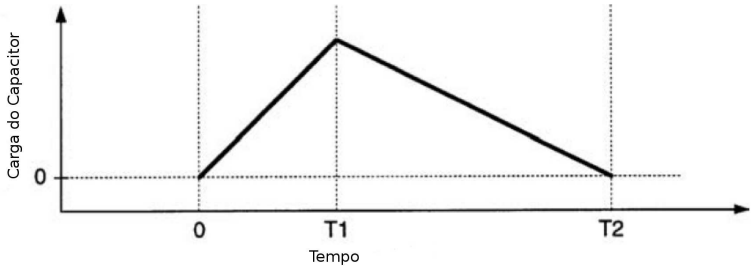


Figura 5.14: Funcionamento rampa dupla [11].

5.4.5 Sigma-Delta

O ADC *sigma-delta*($\Sigma\Delta$) está se tornando rapidamente o tipo mais popular de ADC. Os ADCs $\Sigma\Delta$ usualmente tem resoluções de 16 a 24-bits e taxa de amostragens de 10S/s a 100kS/s. Por causa de sua alta resolução a 48kS/s, eles são os tipos de conversores mais comuns em equipamentos de áudio.

A Fig. 5.15 mostra como o conversor sigma-delta funciona. O comparador é o ADC, e sua saída é processada digitalmente, logo nenhum outro erro analógico é adicionado. O comparador está realimentação com um filtro passa baixa (tipicamente de terceiro ou quinta ordem) e um ADC de 1-bit. O ADC de 1-bit pode assumir apenas dois valores, *+full-scale* e *-full-scale*, logo ele é perfeitamente linear. O resultado é uma saída de

1-bit na qual o ciclo de trabalho é proporcional ao sinal de entrada. Este conjunto é chamado de modulador sigma-delta.

A Fig. 5.16 mostra a operação de ADC $\Sigma\Delta$ simples. Nesse exemplo de primeira ordem, o filtro passa baixo é somente um integrador. A realimentação tenta forçar a entrada para que o comparador volte a posição de repouso, a figura mostra como o ciclo de trabalho da saída digital reflete o sinal de entrada.

A principal vantagem do conversor sigma-delta é seu filtro *antialias* incorporado. Muitos $\Sigma\Delta$ tem um filtro digital de resposta ao impulso finita (FIR), o qual tem uma resposta em freqüência extremamente plana e uma banda de transição abrupta, propriedades impossíveis em filtros analógicos. O ADC ainda precisa de um filtro *antialias* para rejeitar sinais acima da uma metade da freqüência de amostragem. Mas esse filtro é de fácil construção, visto que ele tem que ser plano somente até uma metade da taxa de amostragem de saída e tem muitas oitavas para decair. A combinação de dois filtros provém uma ótima proteção contra a superposição de espectro, freqüentemente 96dB de atenuação sobre todo o espectro.

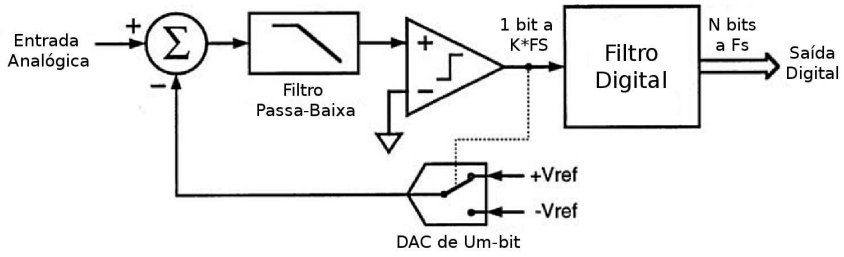


Figura 5.15: Conversor Sigma-Delta [11].

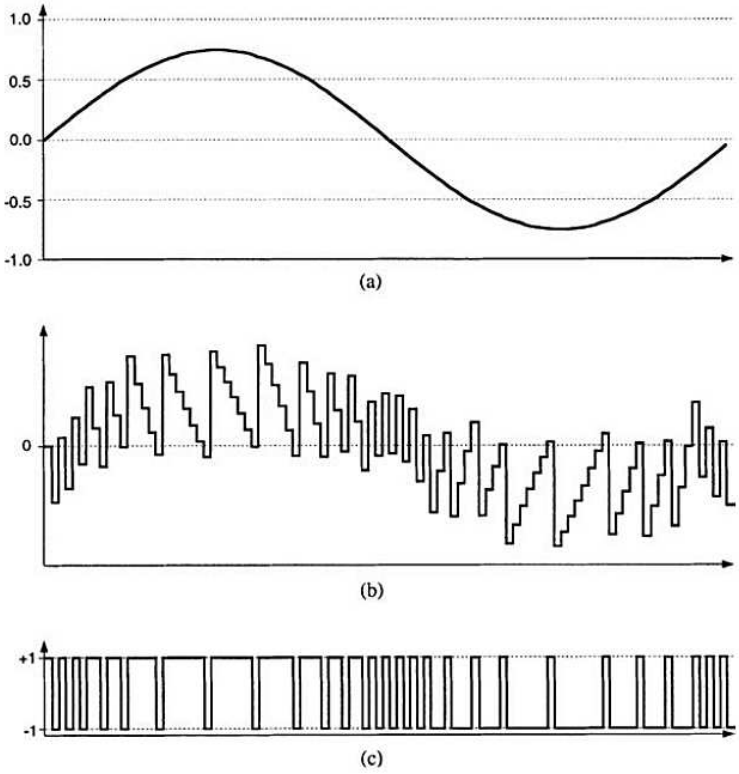


Figura 5.16: Operação do conversor Sigma-Delta [11].

Parte II

Desenvolvimento

Capítulo 6

Descrição do Projeto

Essa idealização de um relé digital divide seus principais blocos funcionais em módulos. Os principais módulos do relé, que têm maior grau de complexidade, são o processamento de dados e o de aquisição de dados. O módulo de processamento é onde se encontra o microprocessador responsável pela execução do algoritmo desejado, pela comunicação entre os módulos e pela comunicação com o meio externo. O módulo de aquisição de dados está encarregado da obtenção dos dados de tensão e corrente do equipamento que se deseja proteger para suprir as entradas do algoritmo de proteção. A Fig. 6.1 mostra uma visão geral dos módulos do relé em questão.

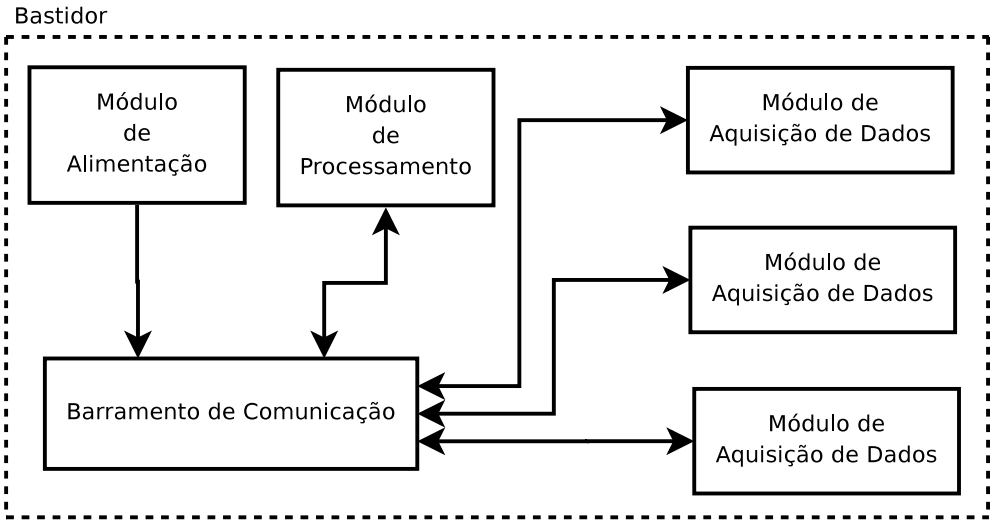


Figura 6.1: Módulos do relé digital

Este trabalho está focado no desenvolvimento de um módulo de aquisição de dados que represente fielmente as grandezas elétricas do SEP para as diversas situações às

quais o SEP está sujeito.

Os módulos estão interligados por um barramento, cada módulo contém quatro endereços para comunicação. A comunicação no barramento é feita de forma serial seguindo o padrão SPI da Motorola.

Um bastidor com capacidade de abrigar até oito módulos é utilizado para reunir e interligar os diversos módulos. A Fig.6.2 ilustra a disposição dos módulos no bastidor.

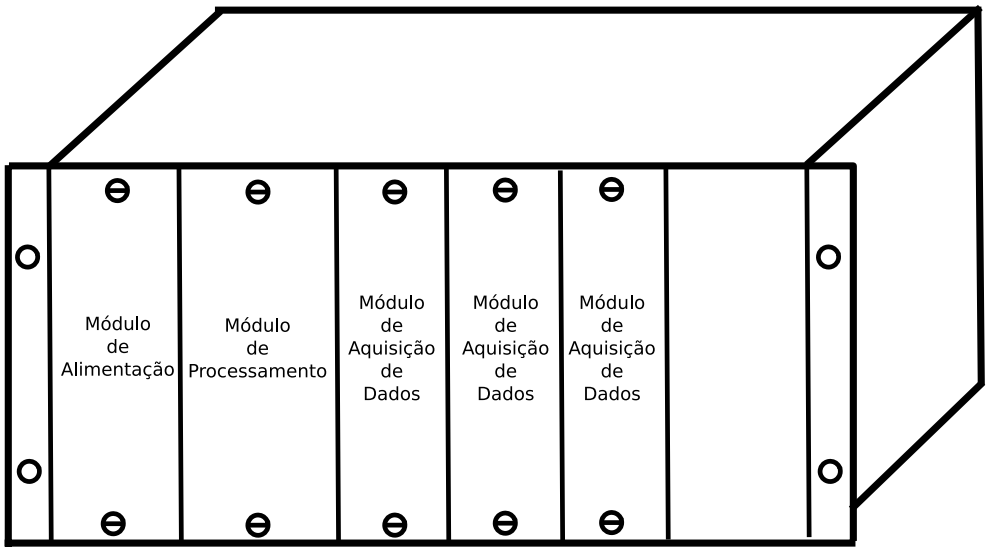


Figura 6.2: Disposição dos módulos no bastidor

6.1 Módulo de Aquisição de Dados

O módulo de aquisição de dados tem, como principais características:

- Isolação elétrica acima de 1000V;
- Medição de corrente até $100A_{rms}$;
- Medição de tensão até $440V_{rms}$
- Taxa de amostragem de até 100kS/s;
- Resolução de 16 bits dos dados medidos;
- Comunicação serial seguindo padrão SPI.

Algoritmos de proteção tradicionais usam taxas de amostragem entre 480Hz (8 pontos por ciclo de 60Hz), para algoritmos mais simples, e 15360Hz (256 pontos por ciclo de 60Hz) para algoritmos mais complexos e oscilografias. Para a taxa de amostragem de 15360Hz pode-se medir até 6 sinais de tensão e/ou corrente.

Existem diversas formas de se fazer a medição de uma grandeza elétrica de forma isolada. No desenvolvimento deste projeto duas possíveis soluções foram estudadas.

6.1.1 Proposta 1

A primeira proposta utiliza um amplificador isolador, a Fig. 6.3 mostra o diagrama de blocos desta proposta.

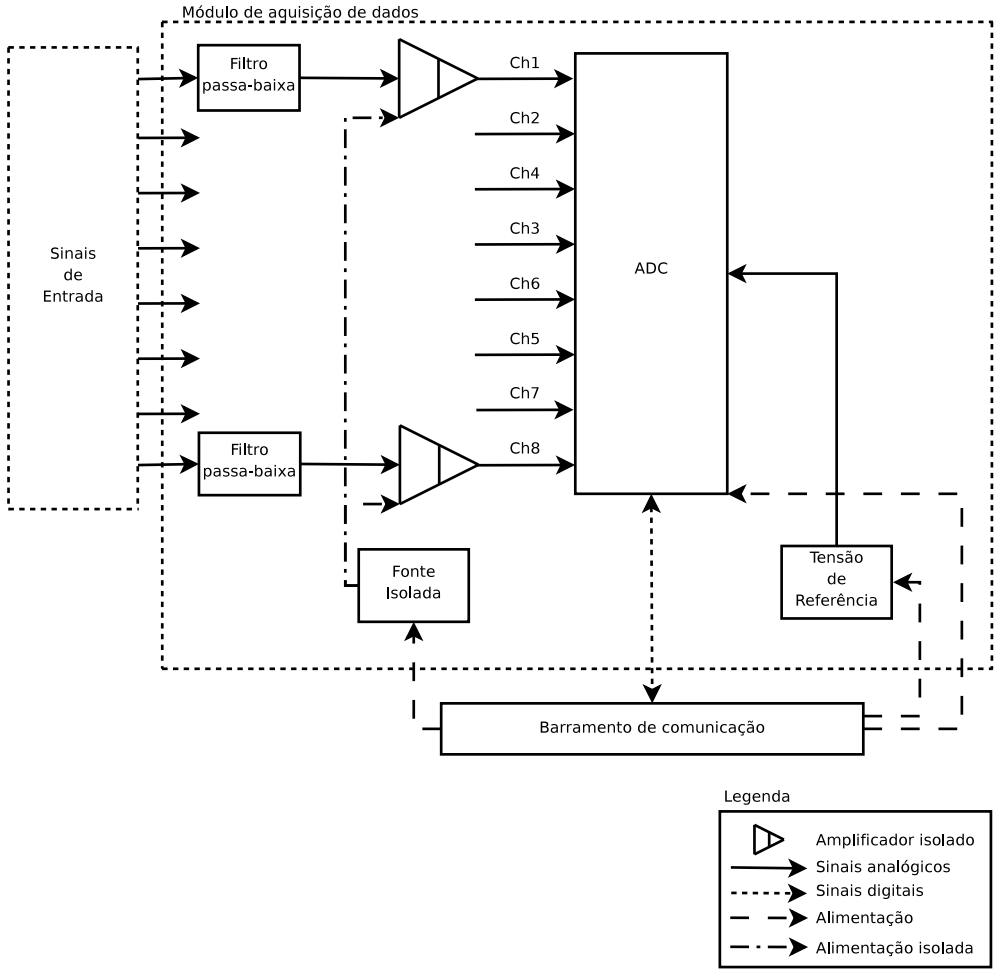


Figura 6.3: Diagrama de blocos do módulo de aquisição de dados da primeira proposta.

O sinal de entrada é previamente submetido a um filtro passa-baixa para evitar o efeito da superposição de espectro, depois da filtragem o sinal é amplificado e isolado

pelo amplificador isolador. O sinal isolado é então entregue a um dos canais de entrada do ADC. O sinal convertido para digital é transferido ao barramento por comunicação SPI. O amplificador isolador é alimentado por uma fonte isolada.

Uma limitação desta topologia é a pequena variação dinâmica do sinal de entrada do amplificador isolador, tipicamente $\pm 200mV$, sendo necessário uma atenuação expressiva do sinal de entrada, abrindo caminho para ruídos, principalmente no ambiente hostil de uma subestação. Esta situação é agravada quando se deseja que os sinais de pós-falta sejam obtidos com fidelidade.

O amplificador isolado estudado faz a conversão A/D do sinal de entrada, o sinal digital é então transmitido por um LED interno que excita o fototransistor receptor e depois o sinal digital é convertido para analógico. Este processo é a principal fonte de erros desta proposta.

6.1.2 Proposta 2

Na segunda proposta o isolamento ocorre no sinal digital, o diagrama de blocos desta proposta é mostrado na Fig.6.4.

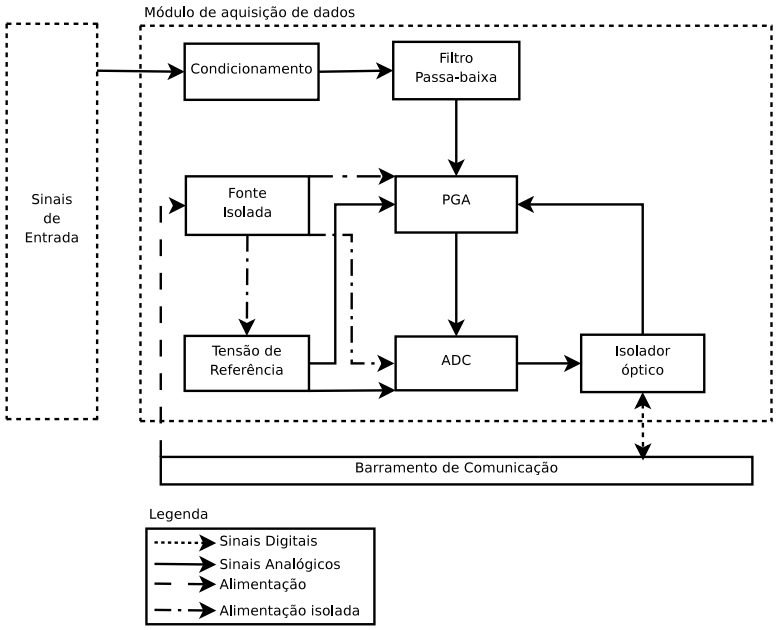


Figura 6.4: Diagrama de blocos do módulo de aquisição de dados da segunda proposta.

Cada sinal de entrada é previamente filtrado para evitar a superposição espectral, o sinal filtrado é amplificado pelo amplificador de ganho programável, convertido para

digital pelo ADC, o sinal digital passa por isoladores ópticos e então enviado ao barramento de comunicação. Como na proposta anterior a comunicação com o barramento é feita de forma serial seguindo a padrão SPI da Motorola.

Diferentemente da primeira proposta, aqui cada sinal de entrada possui um ADC. Cada canal de medição é alimentado por uma fonte isolada e tem seu próprio sinal de referência para o ADC e PGA.

Esta topologia tem como vantagens: empregar componentes mais baratos, menos fontes de ruído, ampliação significativa da faixa dinâmica do sinal de entrada graças ao PGA e melhor de isolação elétrica.

A grande faixa dinâmica do sinal de entrada faz esta proposta a mais adequada quando se tem interesse na boa reprodução dos sinais de pós-falta.

Os principais componentes eletrônicos deste projeto assim como suas descrições de funcionamento estão no Cap. 7 e os cálculos pertinentes ao projeto estão no Cap.8.

6.2 Módulo de Processamento de Dados

Essa seção apresenta o *hardware* em diagramas de blocos do módulo de processamento, desenvolvido no trabalho de conclusão de curso do aluno Gesner O. Passo Jr. da Escola de Engenharia de São Carlos EESC-USP. O microprocessador utilizado foi um ARM7.

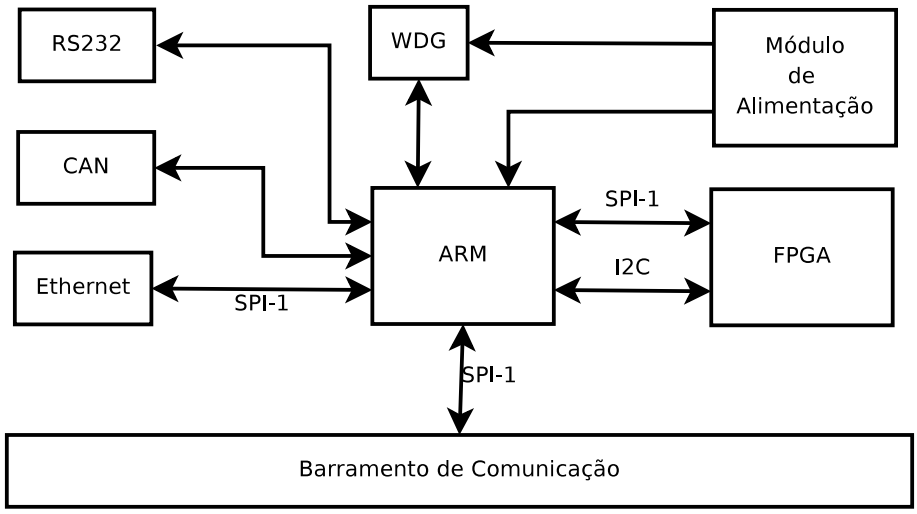


Figura 6.5: Diagrama de blocos do módulo de processamento de dados.

A Fig. 6.5 mostra um diagrama de blocos esquemático representativo do projeto. As principais características são:

- O módulo de Alimentação da Placa recebe tensão de 5 e 12 Volts e alimenta os CIs. Há um regulador separado para o ARM e também possibilidade de que o ARM desligue os outros reguladores. O motivo disto é satisfazer requisitos de possibilidade de operação em *low-power*.
- Uma interface RS-232 simples foi implementada.
- Para interligação em rede estão presentes o CAN e a ETHERNET. Para o CAN existe um *driver* especializado do próprio fabricante do ARM escolhido. Para a ETHERNET foi utilizado um controlador da MICROCHIP (ENC28J60) que comunica com o ARM via SPI.
- Um circuito supervisor externo (*WatchDog*) foi também adicionado para impedir que mal funcionamento do sistema o deixe bloqueado.
- Um Modem G24 da Motorola para dar acesso à rede GSM, permite possibilidade de envio e recebimento de SMS, discagem e acesso ao áudio analógico e digital para efetuar chamadas.
- Uma FPGA que atua como um coprocessador ou como *driver* especializado para aumentar a capacidade de desempenho e possibilidades da placa.
- Interface JTAG está presente tanto para programação e *debug* do ARM como para programação externa para a FPGA.
- Conector para interfaceamento externo com um *driver* dedicado de SPI, 6 linhas de aplicação geral de saída do ARM, e mais de 40 pinos de Entrada e Saída (IO) da FPGA.

6.3 Barramento de Comunicação

O barramento está disposto no fundo do bastidor, por onde os módulos são conectados eletricamente através de um conector de 32 vias do tipo DIN41612. O barramento contém uma via de comunicação SPI que pode endereçar até 32 dispositivos, sendo

que cada módulo contém 4 endereços. O barramento também fará a alimentação dos módulos. A tensão nas vias de comunicação é de 3.3V. Um módulo de alimentação suprirá todos os módulos através do barramento com uma tensão de 5V. Os pinos restantes do conector serão reservados para aplicações futuras.

O conector DIN41612 conectado ao barramento é do tipo fêmea (Fig.6.6) e o conector ligado aos módulos é do tipo macho (Fig.6.7). As dimensões e a pinagem dos conectores fêmea e macho estão nas figuras 6.8 e 6.9, respectivamente.

Este conector foi escolhido pela facilidade de conexão elétrica e a resistência mecânica do conjunto.

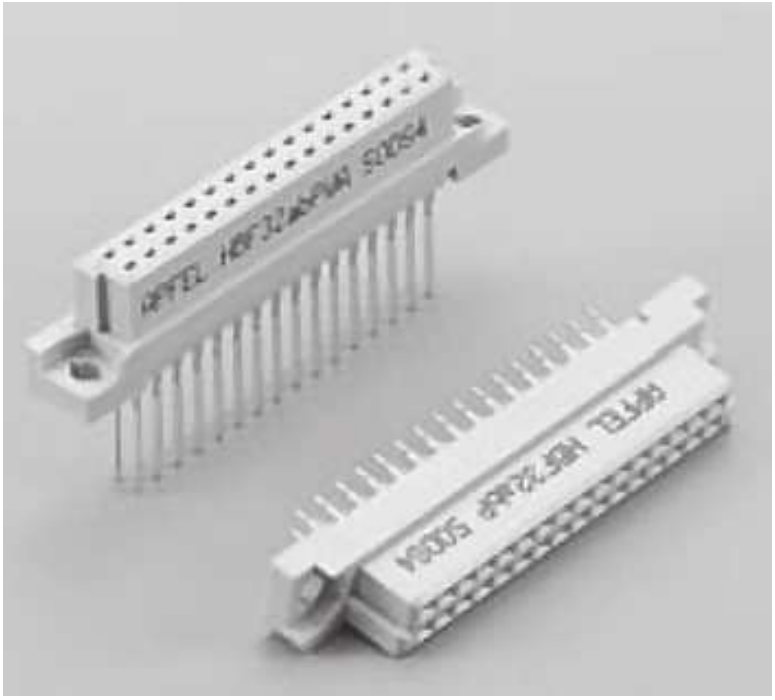


Figura 6.6: Foto do conector DIN41612 tipo fêmea.

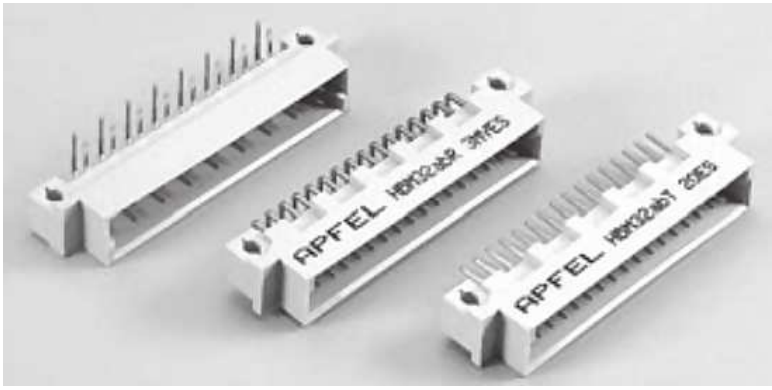
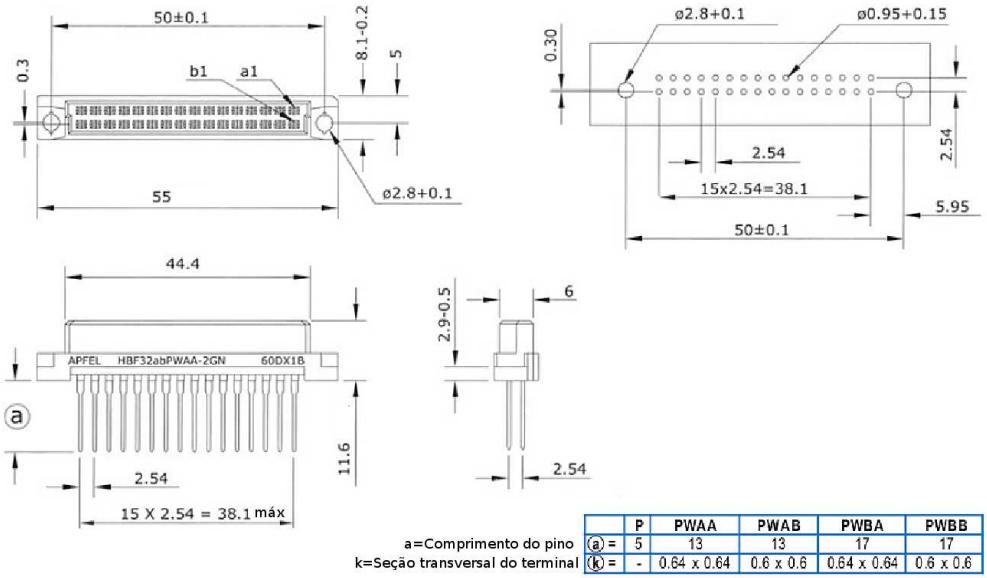


Figura 6.7: Foto do conector DIN41612 tipo macho.



	P	PWAA	PWAB	PWBA	PWBB
a =	5	13	13	17	17
k =	-	0.64 x 0.64	0.6 x 0.6	0.64 x 0.64	0.6 x 0.6

Figura 6.8: Dimensões do conector DIN41612 tipo fêmea.

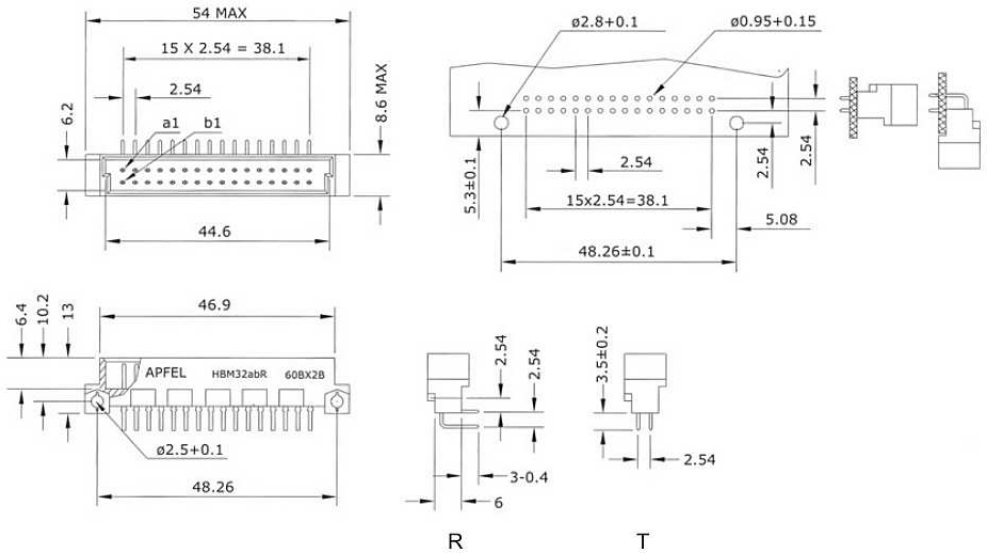


Figura 6.9: Dimensões do conector DIN41612 tipo macho.

Capítulo 7

Componentes Utilizados

Neste capítulo serão descritos os principais componentes eletrônicos empregados neste projeto.

7.1 ADC

7.1.1 Descrição

O conversor analógico-digital escolhido para esse projeto foi o ADS8320 da Burr-Brown.

O ADS8320 [10] é um conversor analógico digital de 16 bits com circuito de amostragem incorporado. Trabalha com alimentação na faixa de 2,7V a 5,2V. Este ADC consume pouca energia mesmo operando na máxima taxa de amostragem $100kS/s$, dissipando apenas 100mW à $10kS/s$. O ADS8320 possui um barramento de comunicação SPI e entrada diferencial. A tensão de referência pode ser ligada à qualquer tensão entre 500mV e V_{cc}.

O baixo consumo e seu tamanho reduzido o torna ideal para sistemas que operam com bateria, módulos de aquisição de dados remotos, sistemas multicanais de medições simultâneas e aquisição de dados isolada. O encapsulamento do ADS8320 é o MSOP-8. A Fig.7.1 mostra o diagrama de blocos desse ADC.

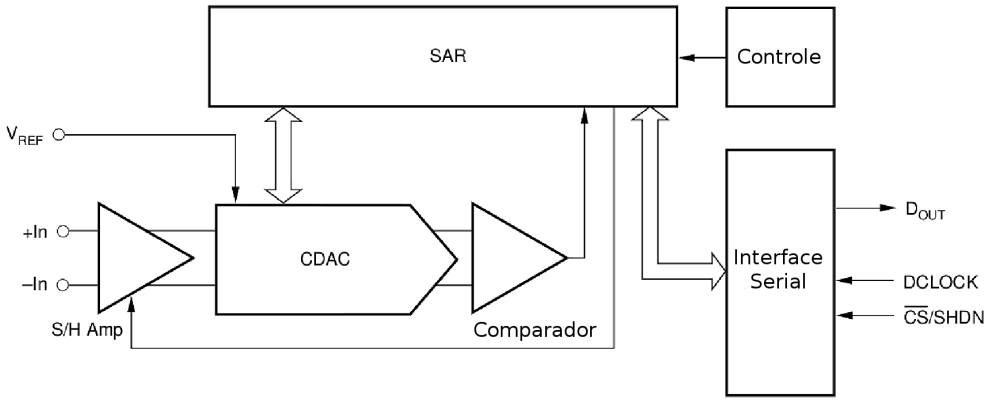


Figura 7.1: Diagrama de blocos do ADS8320 [10].

7.1.2 Pinagem

A Fig.7.2 mostra os pinos do ADS8320 e a Tab.7.1 descreve a função de cada pino.

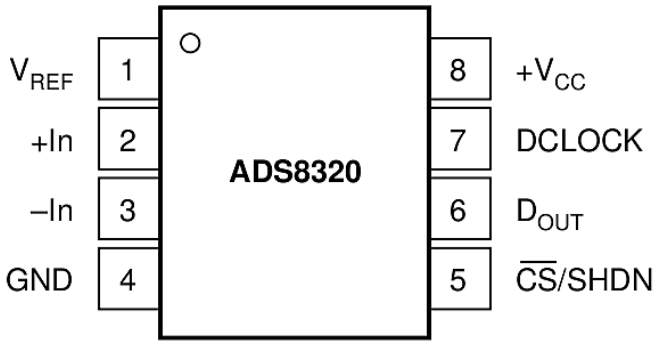


Figura 7.2: Pinagem do ADS8320 [10].

Tabela 7.1: Descrição de pinos do ADS8320.

Pino	Nome	Descrição
1	V_{REF}	Entrada de referência.
2	$+I_n$	Entrada não inversora.
3	$-I_n$	Entrada inversora.
4	GND	Terra.
5	$\overline{CS}/SHDN$	Seleção do chip.
6	D_{out}	Saída serial de dados.
7	DCLOCK	Sinal de clock.
8	$+V_{cc}$	Fonte de alimentação.

7.1.3 Teoria de Funcionamento

O ADS8320 é um conversor analógico-digital de aproximações sucessivas clássico. A arquitetura e o processo de conversão permitem que o ADS8320 adquira e converta um sinal analógico com velocidade de até 100.000 conversões por segundo.

Este ADC precisa de uma referência externa, um clock externo e uma fonte de alimentação simples(V_{cc}). A referência externa dita a faixa de variação do sinal de entrada.

O clock externo pode variar entre 24kHz e 2,4MHz. O ciclo de trabalho do clock não é muito importante, desde que o tempo de nível baixo e alto sejam pelo menos 200ns.

A entrada analógica é feita por dois pinos de entrada: $+I_n$ e $-I_n$. Quando uma conversão é iniciada, a entrada diferencial nestes pinos é amostrada por um capacitor interno. Enquanto a conversão é executada, ambos os pinos são desconectados de qualquer função interna.

O resultado digital da conversão é obtido serialmente no pino D_{out} pelo comando da entrada DCLOCK, sendo o primeiro bit o mais significativo.

7.1.4 Entrada Analógica

Os pinos de entrada $+I_n$ e $-I_n$ permitem a leitura diferencial de um sinal. Diferente de alguns conversores de mesmo tipo, a entrada $-I_n$ não é reamostrada durante o ciclo de conversão.

A faixa de entrada de $-I_n$ é limitada entre -0,1V e 1,0V. Por causa disso, a entrada diferencial pode ser usada para rejeitar pequenos sinais que são comuns à ambas entradas.

A corrente de entrada nas entradas analógicas depende de inúmeros fatores: taxa de amostragem, tensão de entrada, impedância da fonte e modo de economia de energia. Essencialmente, a corrente no ADS8320 carrega o capacitor interno durante a amostragem do sinal. Depois que o capacitor estiver totalmente carregado, não há mais corrente de entrada. A fonte do sinal analógico deve ser capaz de carregar a capacitância de entrada (45pF). Quando o conversor entra no modo de retenção ou enquanto o ADC

está em modo desligado, a impedância de entrada é maior que $1G\Omega$.

7.1.5 Entrada de Referência

A referência externa define a faixa do sinal de entrada. O ADS8320 funciona com a referência entre 500mV até V_{cc}. Existem diversas implicações a esse respeito.

Conforme a tensão de referência é reduzida, o peso da tensão analógica em cada saída digital é reduzido, isto é, o tamanho do bit menos significativo é igual a tensão de referência divido por 65536. Isso significa que qualquer erro de *offset* ou ganho inerente ao ADC irá aumentar na medida que a tensão de referência é reduzida.

O ruído inerente ao conversor irá aumentar para LSB menores. Com uma referência de +5V, o ruído interno contribui com apenas 1.5LSB de pico-pico do erro potencial do código de saída. Quando a referência externa for 500mV, a contribuição ao erro potencial será 10 vezes maior, 15LSBs. O erro devido ao ruído interno tem natureza gaussiana e pode ser reduzida pela média dos resultados de conversões consecutivas.

7.1.6 Interface Serial

O ADS8320 se comunica com microprocessadores por meio de uma interface serial de 3 fios como mostrado na Fig.7.3 e na Tab.7.2. O sinal DCLOCK sincroniza a transferência de dados, cada bit será transmitido na borda de descida do DCLOCK.

A descida do sinal $\overline{CS}$ inicializa a conversão e transferência de dados. Os primeiros 4,5 até 5,0 períodos de clock do ciclo de conversão são usados para amostrar o sinal de entrada. Após o quinta borda de descida do DCLOCK, o D_{out} é habilitado e tem como saída nível lógico baixo durante um período de *clock*. Para os próximos 16 períodos do DCLOCK, a saída D_{out} apresentará o resultado da conversão, começando pelo bit mais significativo. Após o bit menos significativo (B0) ser apresentado, os pulsos de clock subsequentes o resultado da conversão será repetido porém começando pelo bit menos significativo.

Após o bit mais significativo ser repetido, a saída D_{out} entrará em alta impedância. *Clocks* subsequentes não terão efeito sobre o conversor. Uma nova conversão só irá ocorrer caso $\overline{CS}$ for colocado em nível alto e depois para nível baixo.

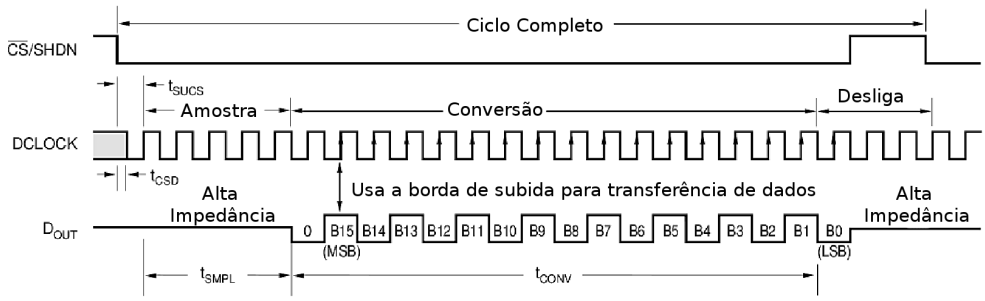


Figura 7.3: Comunicação serial do ADS8320.

Tabela 7.2: Comunicação serial do ADS8320 [10].

Símbolo	Descrição	Min.	Típico	Máx	Unidade
t_{SMPL}	Tempo de amostragem do sinal de entrada	4.5		5.0	Ciclos de clock
t_{CONV}	Tempo de conversão		16		Ciclos de clock
t_{CYC}	Taxa de saída			100	KHz

7.2 Amplificador de Ganho Programável

7.2.1 Descrição

O MCP6S21 da Microchip foi o amplificador de ganho programável(PGA) escolhido para esse projeto.

O MCP6S21 [7] pode ser configurado para ganhos de +1V/V até +32V/V. A interface serial pode colocar o PGA em modo de economia de energia. Esse PGA é otimizado para alta velocidade, baixa tensão de *offset*, funcionamento com fonte simples com entrada e saída com capacidade *rail-to-rail*. Este PGA está disponível nos encapsulamentos de oito pinos PDIP, SOIC e MSOP.

7.2.2 Pinagem

A Fig.7.4 mostra os pinos do MCP6S21 e a Tab.7.3 descreve a função de cada pino.

7.2.3 Funções Analógicas

O PGA MCP6S21 é baseado em blocos analógicos simples que podem ser visto na Fig.7.5 cada um desses blocos será explicado abaixo.

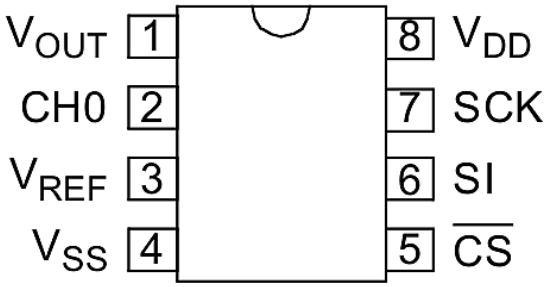


Figura 7.4: Pinagem do MCP6S21 [7].

Tabela 7.3: Descrição de pinos do MCP6S21.

Pino	Função
V_{out}	Saída analógica.
CH0	Entrada analógica.
V_{SS}	Fonte de alimentação negativa.
V_{DD}	Fonte de alimentação positiva.
SCK	Entrada do clock SPI.
SI	Entrada serial de dados SPI.
$\overline{CS}$	Seleção do chip.
V_{REF}	Referência Externa.

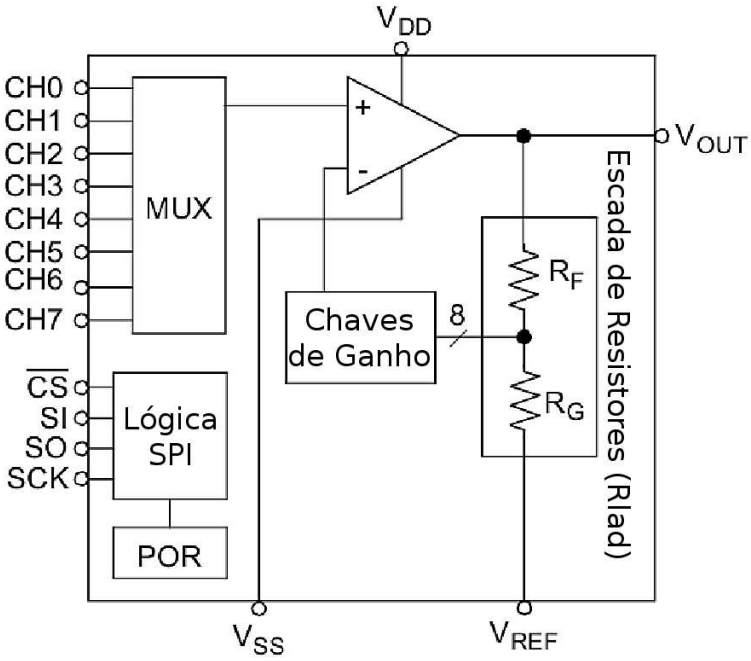


Figura 7.5: Diagrama de blocos do MCP6S21 [7].

7.2.4 Amplificador Operacional Interno

O amplificador operacional interno proporciona a combinação correta de largura de banda, precisão e flexibilidade.

Capacitores de Compensação

O amplificador operacional interno tem três capacitores de compensação conectados à uma rede de chaves. Eles são selecionados para proporcionar uma banda de passagem pequena para altos ganhos e uma boa *slew rate* para baixos ganhos. A mudança na banda de passagem conforme o ganho muda está entre 2MHz e 12MHz.

Entrada *Rail-to-Rail*

O estágio de entrada do amplificador operacional interno usa dois estágios de entrada diferencial em paralelo, um funciona para baixas tensões de entrada, enquanto o outro opera para altos valores de tensão de entrada. Com essa topologia, as entradas internas podem funcionar para 0,3V acima da tensão de alimentação.

A transição entre os dois estágios de entrada ocorre quando $V_{IN} \approx V_{DD} - 1.5V$. Para melhora na distorção e linearidade no ganho, essa região de operação deve ser evitada.

Tensão de Entrada e Inversão de Fase

O amplificador é projetado com entradas CMOS. O limite de tensão que podem ser aplicada ao pino de entrada é $V_{SS} - 0,3V$ até $V_{DD} + 0,3V$. Tensões que excedam os valores máximos podem causar excesso de corrente nos pinos de entrada. Correntes acima de $\pm 2mA$ podem causar problemas de confiabilidade. Aplicações que excedam esses valores devem ser limitados externamente com um resistor como mostrado na Fig.7.6.

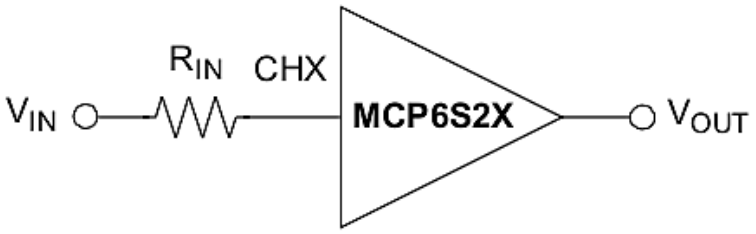


Figura 7.6: Limitação da corrente de entrada no MCP6S21 [7].

7.2.5 Escada de Resistores

A escada de resistores (R_{LAD}) mostrada na Fig.7.5 ($R_{LAD} = R_F + R_G$) determina o ganho. Colocando as chaves de ganho em série com entrada inversora reduz a capacitância parasita, distorção e erros de ganho.
R_{LAD} é uma carga adicional na saída do PGA e consume corrente da fonte.

No modo de economia de energia, R_{LAD} continua ligada aos pinos de saída e V_{REF}. Logo, esses pinos e a entrada inversora do amplificador interno então conectados através de R_{LAD} e a saída não é de alta impedância.
O R_{LAD} contribui para o ruído de saída, porém esse efeito é pequeno.

7.2.6 Modo de Economia de Energia

Esse PGA tem modo de economia de energia comandado por software. Quando a interface SPI envia o comando *shutdown*, o amplificador operacional interno é desligado e a saída entra em alta impedância.

7.2.7 Funções Digitais

O MCP6S21 usa a interface SPI padrão para receber instruções de um microcontrolador.

7.2.8 Temporização SPI

A seleção de chip ($\overline{CS}$) vai para nível baixo para iniciar a comunicação com esse dispositivo. O primeiro byte(8-bits) de cada palavra(16-bits) de entrada é o byte de instrução, que vai para o registrador de instrução. O registrador de instrução indica o destino do segundo byte. Em uma aplicação típica, $\overline{CS}$ é levado a nível alto depois de uma palavra para que as mudanças desejadas tomem efeito.

O MCP6S21 funciona no modo SPI 0,0 e 1,1. No modo 0,0, o clock em repouso está em nível baixo (Fig.7.7) e no modo 1,1 o clock em repouso está em nível alto (Fig.7.8). Em ambos os modos, o dado de entrada é carregado para o PGA na borda de descida do SCK.

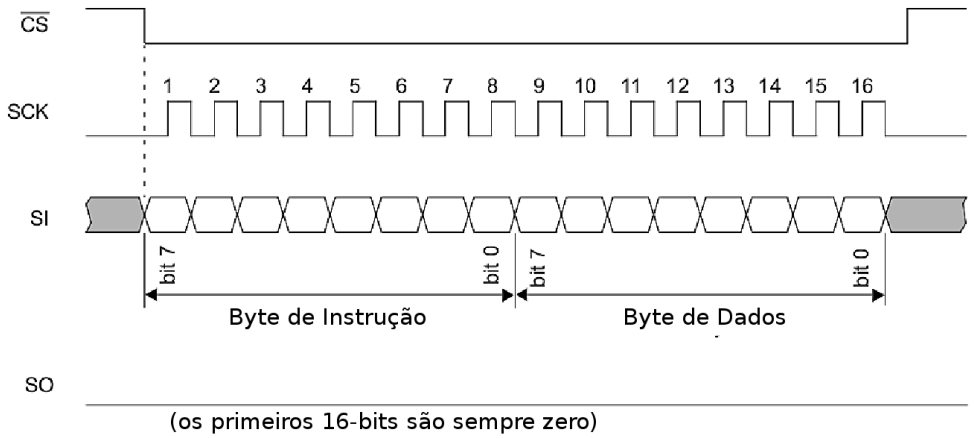


Figura 7.7: MCP6S21 operando no modo SPI 0,0 [7].

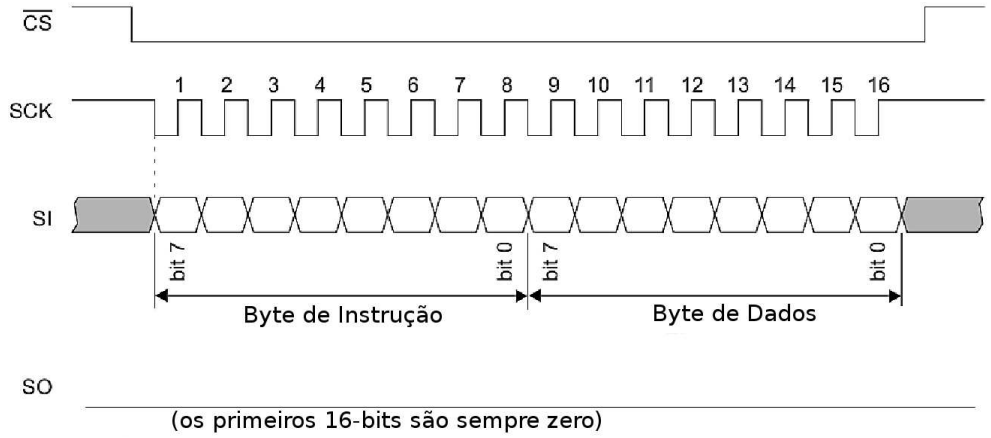


Figura 7.8: MCP6S21 operando no modo SPI 1,1 [7].

7.2.9 Registradores

As funções analógicas são programadas pela interface SPI usando uma palavra. O dado é enviado para dois registradores: registrador de instruções, registrador de ganho e registrador de canal.

Este dispositivo está inicialmente programado com o registrador de instrução para a instrução NOP(sem operação), um ganho de +1V/V e o canal de entrada como CH0.

Registrador de Instrução

O registrador de instrução tem três bits de comando e 1 bit de endereço indireto como pode ser visto na Fig.7.2.9

W-0	W-0	W-0	U-x	U-x	U-x	U-x	W-0
M2	M1	M0	—	—	—	—	A0
bit 7							bit 0

bit 7-5 M2-M0: Bits de Comando
000 = NOP (Padrão) (Nota 1)
001 = PGA entra em modo de economia assim que 16-bits é enviado e CS é levado para 1. (Nota 1 e 2)
010 = Escreve no registrador
011 = NOP (reservado para uso futuro) (Nota 1)
1xx = NOP (reservado para uso futuro) (Nota 1)

bit 4-1 Não Implementado - Lido como '0' (reservado para uso futuro)

bit 0 A0: Bit de Endereçamento Indireto
1 = Endereço do Registrador de Canal
0 = Endereço do Registrador de Ganho (Padrão)

Nota 1: Todos os outros bits incluindo A0 são considerados "sem importância"
2: O equipamento sai do modo de economia de energia quando um comando válido é enviado e CS é levado para 1.

Figura 7.9: Registrador de instrução do MCP6S21 [7].

Registrador de Ganho

O amplificador pode ser programado para produzir ganhos entre +1 V/V até 32 V/V. Ao mesmo tempo, diferentes capacitores de compensação são selecionados para otimizar a banda de passagem e o *slew rate*. O registrador de ganho é explicado na Fig.7.2.9.

U-x	U-x	U-x	U-x	U-x	W-0	W-0	W-0
—	—	—	—	—	G2	G1	G0
bit 7							bit 0

bit 7-3 Não Implementado - Lido com '0' (reservado para uso futuro)

bit 2-0 G2 - G0 Bits de Seleção de Ganho
000 = Ganho de 1 (padrão)
001 = Ganho de 2
010 = Ganho de 4
011 = Ganho de 5
100 = Ganho de 8
101 = Ganho de 10
110 = Ganho de 16
111 = Ganho de 32

Figura 7.10: Registrador de ganho do MCP6S21 [7].

Registrador de Canal

Se o registrador de instrução selecionar o endereço do registrador de canal, as entradas multiplexadas serão mudadas de acordo com a Fig.7.2.9.

U-x	U-x	U-x	U-x	U-x	W-0	W-0	W-0
—	—	—	—	—	C2	C1	C0
bit 7							bit 0

bit 7-3 Não Implementado - Lido como '0' (reservado para uso futuro)

bit 2-0 C2-C0: Bits de Seleção de Canal

MCP6S21	MCP6S22	MCP6S26	MCP6S28
000 = CH0 (Padrão)	CH0 (Padrão)	CH0 (Padrão)	CH0 (Padrão)
001 = CH0	CH1	CH1	CH1
001 = CH0	CH0	CH2	CH2
011 = CH0	CH1	CH3	CH3
100 = CH0	CH0	CH4	CH4
101 = CH0	CH1	CH5	CH5
110 = CH0	CH0	CH0	CH6
111 = CH0	CH1	CH0	CH7

Figura 7.11: Registrador de canal do MCP6S21 [7].

7.3 Isolador Óptico

7.3.1 Descrição

O isolador óptico escolhido para este projeto foi o HCPL-0631 [4] da FAIRCHILD. Este componente tem como função proporcionar o isolamento galvânico da placa de aquisição de dados do barramento de comunicação, protegendo o barramento de possíveis danos provenientes de surtos elétricos.

O HCPL-0631 é um isolador óptico de dois canais cujos LEDs (diodo emissor de luz) utilizam a tecnologia AlGaAS e o transistores de saída são construídos na tecnologia CMOS. A corrente máxima do sinal de entrada é 5mA e a corrente máxima de saída é 13mA. A velocidade máxima de comunicação é de 10Mbit/s. O encapsulamento deste circuito integrado é o SO-8.

7.3.2 Pinagem

A Fig.7.12 mostra os pinos do HCPL-0631 e a Tab.7.4 descreve a função de cada pino.

7.4 Referência de Tensão

Para a referência de tensão para o amplificador de ganho programável e para o conversor analógico digital escolheu-se o LT1004-2.5, que é um diodo de referência de

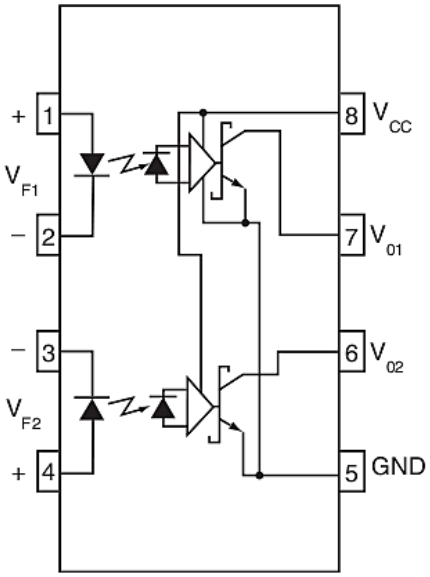


Figura 7.12: Pinagem do HCPL-0631 [4].

Tabela 7.4: Descrição de pinos do HCPL-0631.

Pino	Função
1	Anodo do LED 1.
2	Catodo do LED 1.
3	Anodo do LED 2.
4	Catodo do LED 2.
5	Terra.
6	Saída do Transistor 2.
7	Saída do Transistor 1.
8	Alimentação.

2,5V com precisão de $\pm 20mV$. Ele necessita de uma baixa corrente para regulação, no máximo $100\mu A$. Além de sofrer pouca influência da variação da temperatura.

7.5 Conversor DC-DC

O conversor DC-DC é empregado como fonte de alimentação isolada para o circuito de aquisição. O conversor DC-DC empregado neste projeto foi o IA0505S da XPPOWER. Este conversor trabalha com tensão de entrada de 5V e tensão de saída de 5V. A corrente máxima de saída é 100mA. A eficiência deste conversor é de aproximadamente 78%. A tensão de isolação é maior que 1kV.

7.6 Resistor de Medida de Corrente

O resistor para a medida de corrente escolhido foi o OAR3-R015 da *Welwyn Components*. O OAR3-R015 é um resistor de fio de 0.015Ω com baixa indutância($< 10nH$) e potência de 3W para a temperatura externa de $80°C$ e tolerância de $\pm 1\%$.

Capítulo 8

Memorial de cálculo

8.1 Faixa dinâmica

Como os sinais que se deseja medir sofrem grandes variações em magnitude, principalmente a corrente, e como na proteção dos sistemas elétricos utiliza-se dados de pré-falta e de pós-falta, é necessário a leitura correta dos dados de pós-falta. As correntes de falta podem assumir em muitos casos valores maiores que 20pu. Caso o ADC for projetado para medir 20pu de corrente, para situações normais de operação a precisão das medidas fica prejudicada, visto que o bits mais significativos ficariam sem uso. Por exemplo um ADC de 16 bits for dimensionado para medir 20pu, em regime normal (1pu), o número de bits utilizados seria 12.

Para utilizar melhor todos os bits do ADC ajusta-se o PGA de modo que para qualquer medida de tensão ou corrente utilizem a maior parte dos bits do ADC. A Tab. 8.1 mostra os valores de corrente e tensão máximas que podem ser medidas conforme o ganho ajustado.

A entrada do conversor analógico digital deve receber um sinal de tensão entre 0 e 5V. Logo o sinal de entrada precisa ser condicionado, esta etapa é realiza pelo divisor de tensão no caso de medições de tensão ou o resistor de corrente para medidas de corrente, conjuntamente com o amplificador de ganho programável. O PGA amplifica o sinal de entrada de acordo com o ganho programado e também adiciona à saída o valor de tensão presente no pino de referência, como mostrado na Equ.8.1. Para que o sinal de entrada do ADC fique entre 0 e 5V, o sinal de entrada do amplificador de

entrada do PGA deve ficar entre -2.5 e 2.5V e o sinal de referência deve ser 2.5V.

$$V_o = V_{REF} + GV_e \tag{8.1}$$

Na qual V_o é tensão de saída do PGA, V_{REF} a tensão de referência e V_e a tensão de entrada.

Tabela 8.1: Limites de tensão e corrente.

Ganho	Tensão(V_{rms})	Corrente(A_{rms})
1	440	100
2	220	50
4	110	25
5	88	20
8	55	12.5
10	44	10
16	27.5	6.25
32	13.75	3.125

Com uso dessa topologia ADC+PGA, aumenta-se a faixa dinâmica de entrada. Caso o PGA seja suprimido, de acordo com a seção 5.3.7, a faixa dinâmica deste sistema considerando o ADC ideal seria:

$$DR = 20log(2^{16-1.5}\sqrt{12}) \approx 98.09dB \tag{8.2}$$

Agora com o arranjo ADC+PGA, o ruído de quantização será dado para o menor ganho do PGA, e o maior sinal de entrada será considerado para o menor ganho do PGA.

$$S = \frac{2.5}{\sqrt{2}} \approx 1.767V_{rms} \tag{8.3}$$

$$N = \frac{S}{322^{16}\sqrt{12}} \approx 243.3\mu V_{rms} \tag{8.4}$$

$$DR = 20log(S/N) \approx 137.22dB \tag{8.5}$$

Observa-se o aumento de aproximadamente 30dB na faixa dinâmica de entrada do sistema.

Para que este sistema funcione corretamente é preciso implementar uma lógica que ajuste automaticamente o ganho do PGA de acordo com o sinal de entrada. Segue na Fig.8.1 o fluxograma de uma proposta de lógica.

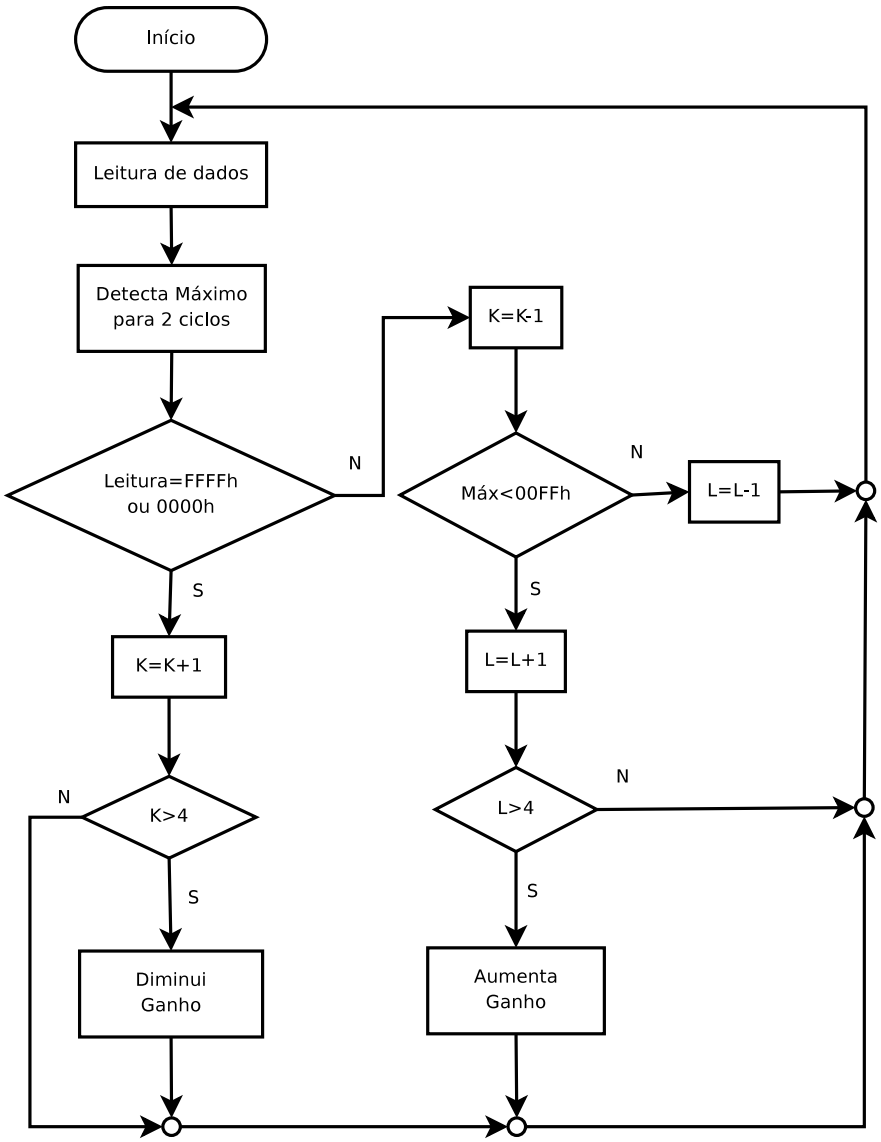


Figura 8.1: Ajuste automático de ganho.

8.2 Condicionamento de Tensão

De acordo com os requisitos de projeto da seção 6.1, a tensão máxima de entrada é de $440V_{rms}$, para essa situação o PGA terá o menor ganho, ou seja, ganho unitário.

Para reduzir a tensão utilizou-se um divisor resistivo. Sendo a corrente que passa pelo divisor de 100mA.

$$V_s = IR2 \Rightarrow R2 = \frac{V_s}{I} = \frac{2.5}{0.100} = 25\Omega \tag{8.6}$$

$$V_s = V_e \frac{R2}{R1 + R2} \Rightarrow R1 = R2 \frac{V_e - Vs}{V_s} = 25 \frac{440\sqrt{2} - 2.5}{2.5} \approx 6200\Omega \tag{8.7}$$

Para proteger a entrada do PGA contra surtos utilizou-se dois diodos zenner de 3.3V ligados en série e em oposição. Caso a tensão passe de 4V os diodos zenner entrarão em condução, um por efeito avalanche e outro por condução direta, limitando a tensão de entrada do PGA.

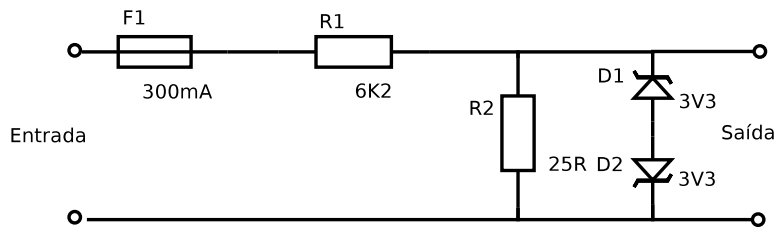


Figura 8.2: Condicionamento de tensão.

8.3 Condicionamento de Corrente

A corrente é medida pela queda de tensão sobre um resistor. De acordo com os requisitos do projeto da seção 6.1 a corrente máxima a ser medida é $100A_{rms}$. Como no condicionamento de tensão o PGA terá ganho unitário e a tensão de entrada máxima deve ser 2.5V. O valor da resistência de corrente pode der calculado da seguinte forma:

$$R = \frac{2.5}{100\sqrt{2}} = 0.0176\Omega \approx 0.0150\Omega \tag{8.8}$$

Para proteger a entrada do PGA contra surtos utilizou-se dois diodos zenner de 3.3V ligados en série e em oposição. Caso a tensão passe de 4V os diodos zenner entrarão em condução, um por efeito avalanche e outro por condução direta, limitando a tensão de entrada do PGA.

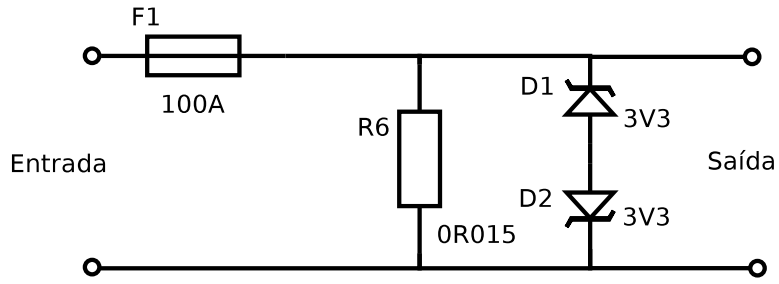


Figura 8.3: Condicionamento de corrente.

8.4 Filtro

Para a correta digitalização dos sinais é preciso evitar o efeito da superposição de espectro, para tanto utiliza-se um filtro passa-baixa para limitar o conteúdo espectral do sinal de entrada. Convém lembrar que a inserção de um filtro causa atraso ao sinal de entrada, conhecido como atraso de grupo, como já foi abordado na seção 4.5.2. Como na proteção de sistemas elétricos busca-se a rápida identificação e isolação de defeitos, é importante que o filtro de entrada não introduza atrasos além do necessário. Por isso, empregou-se um filtro do tipo Butterworth de primeira ordem.

No projeto do filtro determinou-se que a freqüência de corte em 600Hz, sendo essa largura de banda suficiente para representar com fidelidade a maioria dos transitórios de um sistema elétrico de potência.

$$f_c = \frac{1}{2\pi RC} \tag{8.9}$$

na qual f_c é a freqüência de corte, R é o valor da resistência em Ohms e C o valor da capacitância em Farads.

Fixando o valor de resistência em $1k\Omega$, obtém-se a capacitância de 265nF que foi aproximada para o valor comercial mais próximo, 220nF.

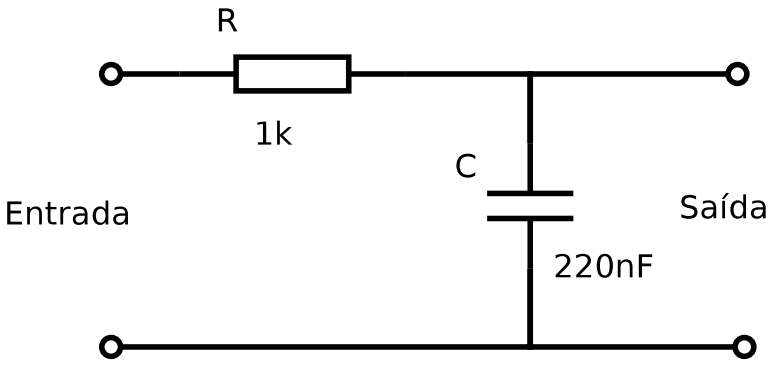


Figura 8.4: Filtro de entrada.

8.5 Circuito Isolador

A corrente para o correto funcionamento do LED do isolador óptico é de 7mA. A resistência em série com o LED é calculada por:

$$R_{LED} = \frac{V_{cc} - V_{LED}}{I_{LED}} = \frac{5 - 1.2}{0.007} \approx 540\Omega \tag{8.10}$$

Na qual V_{cc} é tensão de alimentação da placa, V_{LED} é a queda de tensão sobre o LED para a corrente de 7mA e I_{LED} é a corrente que passa pelo LED.

A saída do isolador óptico é um transistor em coletor aberto, logo é necessário a adição de um resistor entre o coletor do transistor e a fonte de alimentação. A corrente máxima que passará pelo transistor será de 5mA, logo o cálculo da resistência de coletor é dada por:

$$R_{col} = \frac{V_{cc} - V_{ce}}{I_c} = \frac{5 - 0.3}{0.005} \approx 1k\Omega \tag{8.11}$$

Na qual V_{cc} é tensão de alimentação da placa, V_{ce} é a tensão entre coletor e emissor para o transistor na condição de condução e I_c é a corrente máxima que passa pelo coletor do transistor.

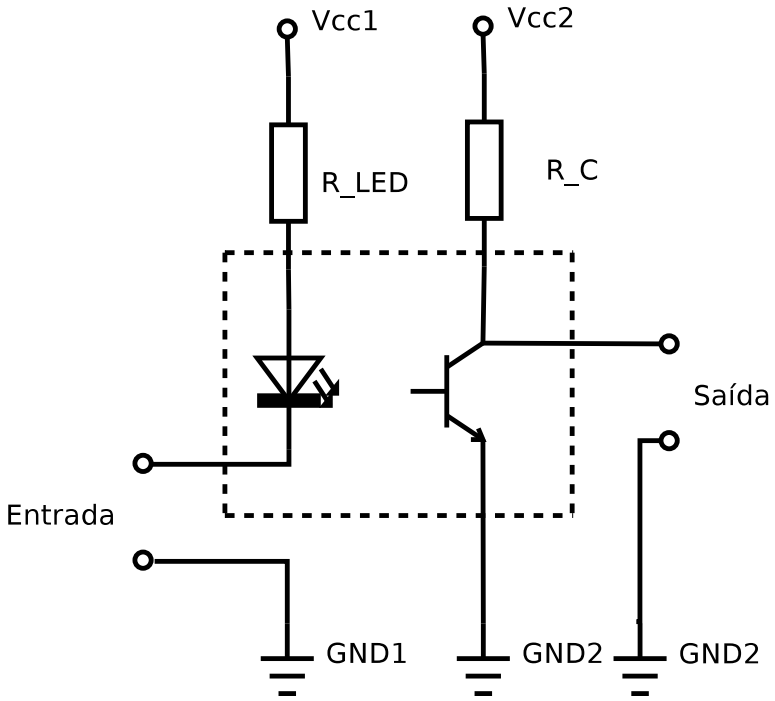


Figura 8.5: Circuito isolador.

8.6 Custo Aproximado do Módulo

Esta seção traz o custo estimado dos componentes necessários para confecção de um módulo de aquisição de dados proposto neste trabalho, com a exclusão do preço da fabricação da placa de circuito impresso.

Tabela 8.2: Preço dos componentes.

Quant.	**Cód. Fabricante**	**Descrição**	**Preço Unit.**	**Preço Total**
2	ADS8320E/250	ADC 16bits 100KS/s	R$ 38,46	R$ 76,92
2	MCP6S21-I/SN	Amplificador Programável	R$ 5,18	R$ 10,36
2	IA0505S	Conversor DC-DC 5V/5V 1W	R$ 25,67	R$ 51,34
2	LT1004CZ25	Diodo de Referência de Tensão 2,5V	R$ 9,93	R$ 19,86
4	BZX384-C3V3	Diodo Zener 3V3 5%	R$ 0,14	R$ 0,56
1	74HCT541D	Buffer de 8 Canais	R$ 0,62	R$ 0,62
5	HCPL-0631-000E	Acoplador óptico SO-8	R$ 12,91	R$ 64,55
2	OAR3 - R030FI	Resistor 0R030 1% 3W	R$ 5,16	R$ 10,32
28		Resistores de uso comum SMD	R$ 0,02	R$ 0,56
30		Capacitores de uso Comum SMD	R$ 0,06	R$ 5,09
2		Porta Fusível SMD	R$ 6,50	R$ 13,00
4		Fusível SMD	R$ 2,56	R$ 10,24
1		Socket DIN41612 B32	R$ 12,81	R$ 12,81
1		Plug DIN41612 B32	R$ 12,73	R$ 12,73
4		Conector PCI 2 VIAS	R$ 2,03	R$ 8,12
			Total	**R$ 297,08**

Os preços expressos na Tab. 8.2 foram cotados no dia 12 de outubro de 2007.

Parte III

Conclusões

Capítulo 9

Conclusão

Este trabalho de conclusão de curso apresenta a idealização de um relé digital de baixo custo e o projeto de seu módulo de aquisição de dados totalmente isolado para medição de tensão e corrente de um sistema elétrico de potência, para um relé de proteção de baixo custo.

Empregra-se um amplificador de ganho ajustável em conjunto com um conversor analógico digital para o aumento da faixa dinâmica de modo a acomodar todas as variações de magnitude das variáveis medidas.

Com as características do módulo de aquisição de dados pode-se implementar os mais diversos algoritmos de proteção até os mais complexos que necessitam de altas taxas de amostragem, como por exemplo:

- proteção de sobrecorrente;
- proteção de subtensão e sobretensão;
- proteção diferencial de barra, gerador e transformador;
- proteção de distância de linhas de transmissão;
- proteção de subfreqüência e sobrefreqüência;
- proteção de linhas de transmissão por ondas viajantes.

Frisando que este projeto ainda está em desenvolvimento, porém já na etapa de confecção da placa de circuito impresso e montagem final.

Esse trabalho traz diversos resultados: o aprofundamento dos conhecimentos em conversores analógico-digital, filtros analógicos, amplificadores, comunicação serial e, principalmente, proteção de sistemas elétricos de potência.

9.1 Sugestão de Trabalhos Futuros

Possíveis trabalhos futuros sugere-se o desenvolvimento de:

- A confecção da placa de circuito impresso do módulo de aquisição de dados;
- A confecção da placa do barramento de comunicação;
- O desenvolvimento de uma interface de comunicação amigável para acesso do relé;
- Módulo de conversores digital-analógico para utilização em ensaios diversos e em controle;
- Módulo para obtenção de estampas de tempo do sistema GPS, para medida síncronas de fasores;
- Algoritmos de proteção baseadas em técnicas inteligentes.

Parte IV

Referências

Referências Bibliográficas

[1] Wai-Kai Chen. *Handbook of filter Synthesis.* Taylor & Francis, Chicago, 2006.

[2] D. V. Coury, M. Oleskovicz, and R. Giovanini. *Proteção Digital de Sistemas Elétricos de Potência: dos relés eletromecânicos aos microprocessados inteligentes.* EESC-USP, São Carlos, 2007.

[3] Walter A. Elmore, editor. *Protective Relaying Theory and Applications.* Mercel Dekker, Inc., New York, 1 edition, 1994.

[4] Fairchild Semiconductor, Inc., Boston. *High Speed-10 MBits/s Logic Gate Optocouplers*, August 2005. http://www.fairchildsemi.com, acessado em outubro de 2007.

[5] Freescale Semiconductor. *SPI Block Guide.* Motorola, 2006.

[6] F. P. Mello. *Proteção de Sistemas Elétricos de Potência*, volume 7. Convênio ELETROBRÁS/UFSM, 1979.

[7] Microchip Technology, Inc., Boston. *Single-Ended, Rail-to-Rail I/O, Low Gain PGA*, 2002. http://www.microchip.com, acessado em outubro de 2007.

[8] H. Nyquist. Certain topics in telegraph transmission theory. *AIEE Transactions*, 1928.

[9] C. E. Shannon. Communication in presence of noise. *Proc. IRE*, 1949.

[10] Texas Instruments, Inc., Dallas. *16-Bit, High-Speed, 2.7V to 5V microPower Sampling ANALOG-TO-DIGITAL CONVERTER*, 2007. http://www.ti.com, acessado em outubro de 2007.

[11] John G. Webster. *Electrical Measurement, Signal Processing, and Displays.* CRC Press, New York, 2004.

[12] Arthur B. Williams and Fred J. Taylor. *Electronic Filter Design Handbook.* McGRAW-HILL, New York, 1998.

[13] Anatol I. Zverev. *Handbook of filter Synthesis.* John Wiley & Sons, New York, 1967.

Parte V

Anexos

Anexo A

Esquemático do Módulo de Leitura de Tensão e Corrente

Este módulo possui dois canais de medição, capazes de fazer leituras de tensão e/ou corrente. Este módulo é extremamente flexível, para realizar medições de corrente basta fechar o *jumper* e soldar o resistor de corrente, já para medições de tensão retira-se o *jumper* e o resistor de corrente. Desta forma pode-se configurar o módulo de aquisição de dados de acordo com a necessidade.

A Fig.A.1 mostra o esquemático do módulo de aquisição de dados desenvolvido neste trabalho.

Os sinais de entrada são ligados aos conectores C33 e C34, o conector B1 faz a ligação elétrica entre o módulo e barramento de comunicação.

Os circuitos integrados (CI) U4 e U5 são os PGAs dos canais de medição abordado na seção 7.2, os CIs U11 e U12 são os ADC discutidos na seção 7.1, os CIs U6 até U10 são os isoladores ópticos escolhido na seção 7.3, os CIs U1 e U2 são conversores DC/DC isolados (fontes de alimentação isolada discutido na seção 7.5).

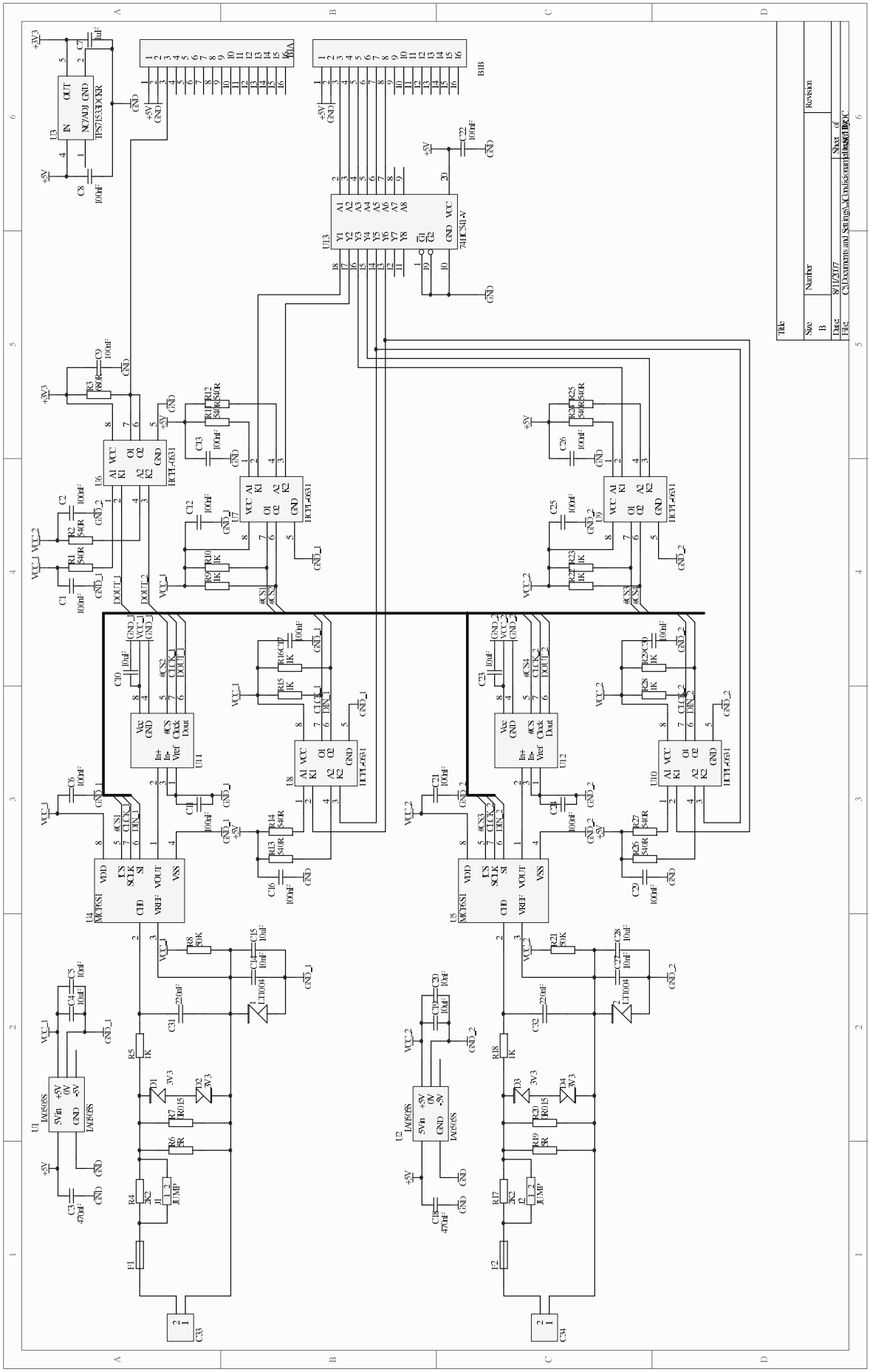


Figura A.1: Esquemático do módulo de leitura de tensão e corrente.

Anexo B

Transformadores de Correntes (TCs)

São dispositivos que tem o primário ligado em série com o circuito principal e o secundário ligado aos relés e/ou instrumentos de medição, cujo valor da corrente secundária depende da relação de transformação do equipamento(número de espiras dos enrolamentos). O enrolamento primário dos TCs é normalmente constituído de poucas espiras(duas ou três por exemplo), podendo ser até mesmo o próprio condutor ao qual o TC está conectado. O enrolamento secundário possui um número elevado de espiras e é projetado para uma corrente nominal padronizada de 5 A, sendo a corrente primária nominal estabelecida de acordo com a ordem de grandeza do circuito em que o TC está conectado. Desta forma, as relações mais comuns encontradas no mercado são: 2000:5, 1200:5, 600:5, 200:5. Na prática, estas relações de transformação não são exatas. Estes erros de relação estão vinculados com as características construtivas dos TCs (materiais eletromagnéticos) e variam de acordo com a corrente primária e com os tipos de carga conectadas ao seu circuito secundário(relés, amperímetros,etc). Devido estas considerações, a ABNT (Associação Brasileira de Normas Técnicas) e ANSI(American National Standarts Institute) estabelecem certas condições sob as quais os TCs devem ser ensaiados com o objetivo de enquadrá-los em uma classificação padronizada, chamada classe de exatidão. Esta classificação é um fator importante no momento da especificação de um TC, pois relaciona diretamente o nível de erro do equipamento com a carga que será alimentada. A tabela abaixo apresenta as classes de exatidão e suas aplicações. Vale ressaltar que os TCs utilizados para medição são mais exatos que os

utilizados na proteção. Os tipos de TCs mais utilizados são:

Tabela B.1: Classe de exatidão de TCs

Classe de exatidão	Aplicação
Melhor que 0.3	TC padrão Medição em laboratório Medições especiais
0.3	Medição de energia elétrica para faturamento ao consumidor
0.6 ou 1.2	Medição de energia sem finalidade de faturamento Alimentação de instrumentos de medição Alimentação de relés de proteção

B.1 TC Tipo Bucha

Este tipo possui o enrolamento secundário isolado e montado no núcleo sendo o enrolamento primário constituído de um condutor isolado. Este condutor é parte componente de um equipamento, como um transformador de força ou disjuntor. São mais precisos que outros TCs para valores elevados de correntes, por possuírem núcleo maior. No entanto, são menos precisos para valores baixos de corrente, em virtude da maior corrente de excitação.

B.2 TC Tipo Janela

Este possui o enrolamento secundário isolado e montado no núcleo, sendo que o condutor representa o enrolamento primário. É constituído de maneira análoga ao tipo bucha, exceto que o ar é utilizado para separar os enrolamentos primário e secundário, sendo muito utilizado em classe de tensão de 13,8 kV.

B.3 TC Tipo Barra

Este tipo possui o enrolamento primário e secundário isolados e montado no núcleo. O primário consiste de uma barra (condutor) que é colocada no interior da janela do núcleo. Este TC é adequado para resistir aos esforços de grandes sobrecorrentes, sendo que deve-se tomar cuidado na montagem para evitar destruir a barra por esforços magnéticos.

B.4 TC Tipo Pedestal

Este tipo possui primário e secundário enrolados num núcleo toroidal, sendo largamente utilizado nas classes de 25 e 138 kV.

Anexo C

Transformadores de Potencial (TPs)

São equipamentos que têm por objetivo reduzir o valor da tensão de um determinado circuitos para níveis compatíveis com instrumentos de medição e relés de proteção. São projetados para uma tensão secundária nominal padronizada de 115V, sendo a tensão a tensão primária nominal estabelecida de acordo com a ordem de grandeza da tensão do circuito em que o TP está ligado. Desta forma, as relações mais comuns encontradas no mercado são: 138000/115V, 13800/115V, entre outros. Assim como os TCs, estes equipamentos também apresentam erros de relação que estão vinculados comas características construtivas dos TPs (materiais eletromagnéticos) em com o tipo de carga conectada ao seu circuito secundário (relés, voltímetros, etc). Devido a estas considerações, a ABNT e ANSI estabeleceram certas condições sob as quais os TPs devem ser ensaiados, com o objetivo de enquadrá-los em uma classificação padronizada, chamada de classe de exatidão. Esta classificação é um fator importante no momento da especificação de um TP, pois relaciona diretamente o nível de erro do equipamento com a carga que será alimentada. A tabela abaixo apresenta as classes de exatidão e suas aplicações. Vale ressaltar que os TPs utilizados para medição são mais precisos que os utilizados na proteção. Os dispositivos de potencial podem ser divididos em dois grupos.

Tabela C.1: Classe de exatidão de TPs

Classe de exatidão	Aplicação
Melhor que 0.3	TP padrão Medição em laboratório Medições especiais
0.3	Medição de energia elétrica para faturamento ao consumidor
0.6 ou 1.2	Medição de energia sem finalidade de faturamento Alimentação de instrumentos de medição Alimentação de relés de proteção

C.1 Transformador de Potencial Convencional

Dispositivo que tem o primário ligado em paralelo com o circuito principal e o secundário ligado aos relés e/ou instrumentos da medição cujo valor de tensão são dependentes da tensão primária e do número de espiras (relação de transformação). O enrolamento primário está conectado diretamente ao circuito de potência, entre duas fases ou fase-terra. Pode existir mais de um secundário ou derivações em um único secundário, a fim de se obter diferentes valores de tensão, algumas vezes necessários para a padronização de relés ou para medição.

C.2 Transformador de Potencial Capacitivo(TPC)

Exerce as mesmas funções do transformador de potencial convencional porem é muito utilizado por ser confiável e ter baixo custo. Os dispositivos capacitivos podem ser enquadrados em dois subgrupos.

C.2.1 De Acoplamento (CPD)

O capacitor de acoplamento é um dispositivo formado por unidades capacitivas ligadas em série e dando origem a uma capacitância entre linha e terra. A última unidade capacitiva da série é colocada dentro de uma base (caixa de potencial) a prova de tempo. A conexão da unidade de acoplamento é feita diretamente à linha sem qualquer dispositivo de proteção. **Caixa de potencial** – é um equipamento destinado a ajustar a tensão proveniente dos divisores de potencial a valores utilizáveis na medição e proteção. Ela consiste essencialmente de um transformador ajustável e capacitores para ajuste de ângulo de fase e fator de potência. Os terminais secundários são aqueles indicados.

C.2.2 De Bucha (BPD)

A bucha condensiva consiste de um condutor central colocado dentro de um corpo isolante de porcelana e de um flange metálico. Se o condutor central for envolvido por uma folha de material isolante e sobre esta uma folha metálica, e assim sucessivamente, próximo ao flange tem-se um potencial quase zero. Estes cilindros de folhas intercaladas por material isolante podem ser considerados como constituindo uma série de capacitores ligados entre o condutor central e o flange. Se o flange for furado e nele introduzido um condutor metálico até atingir algumas camadas de folhas metálicas, será obtida uma certa tensão em relação à terra, que irá variar de acordo com o nível da tensão no condutor central.